

**Fabrication method of semiconductor integrated circuit device**Patent Number: ☐ US2002042007

Publication date: 2002-04-11

Inventor(s): MIYAZAKI KO (JP); MORI KAZUTAKA (JP); HASEGAWA NORIO (JP); TERASAWA TSUNEO (JP); TANAKA TOSHIHIKO (JP)

Applicant(s):

Requested Patent: ☐ JP2002118049

Application Number: US20010964490 20010928

Priority Number (s): JP20000308320 20001006

IPC Classification: G03F9/00; G06F17/50

EC Classification: G03F7/20T22, G03F1/10, G03F7/20T20

Equivalents: CN1350321

---

**Abstract**

---

Provided is a fabrication method of a semiconductor integrated circuit device, which comprises properly using a photomask having light blocking patterns made of a metal and another photomask having light blocking patterns made of a resist film upon exposure treatment, depending on the fabrication step of the semiconductor integrated circuit device. According to the present invention, the productivity of the semiconductor integrated circuit device can be improved.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118049

(P2002-118049A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 21/027		G 0 3 F 1/08	J 2 H 0 9 5
G 0 3 F 1/08		7/20	5 2 1 5 F 0 4 6
	5 2 1	H 0 1 L 27/10	4 3 1 5 F 0 8 3
H 0 1 L 27/10	4 3 1		4 6 1
21/8246		21/30	5 1 5 F

審査請求 未請求 請求項の数25 O L (全 46 頁) 最終頁に続く

(21) 出願番号 特願2000-308320 (P2000-308320)

(22) 出願日 平成12年10月6日 (2000.10.6)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宮崎 浩

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 森 和孝

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

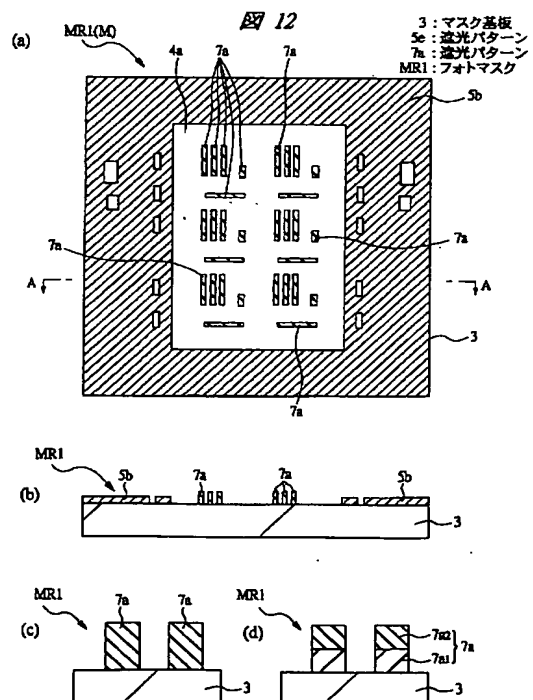
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 半導体集積回路装置の生産性を向上させる。

【解決手段】 半導体集積回路装置の製造過程に応じて、メタルからなる遮光パターンを有するフォトマスクと、レジスト膜からなる遮光パターン7aを有するフォトマスクMR1とで使い分けて露光処理を行う。



**【特許請求の範囲】**

**【請求項 1】** 有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第 1 のフォトマスクと、金属膜を露光光に対する遮光体とする第 2 のフォトマスクとを、半導体集積回路装置の生産量または製造工程に応じて使い分けることを特徴とする半導体集積回路装置の製造方法。

**【請求項 2】** 請求項 1 記載の半導体集積回路装置の製造方法において、(a) 前記第 1 のフォトマスクを用いる生産タイプおよび前記第 2 のフォトマスクを用いる生産タイプを含む顧客用メニューを生産者側で用意する工程、(b) 前記顧客用メニューの中から半導体集積回路装置または半導体集積回路装置の所定の製造工程に最適な生産タイプを生産依頼者が選択する工程を有することを特徴とする半導体集積回路装置の製造方法。

**【請求項 3】** 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体集積回路装置の生産量が、予め定められた生産量のしきい値よりも多いか否かを判断する工程、

(b) 前記半導体集積回路装置の生産量が前記しきい値よりも少ない場合には、露光処理に際して有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いる工程。

**【請求項 4】** 請求項 3 記載の半導体集積回路装置の製造方法において、前記半導体集積回路装置の生産量が拡大され、その生産量が前記しきい値を上回った段階で、露光処理に際して金属膜を露光光に対する遮光体とするフォトマスクを用いる工程を有することを特徴とする半導体集積回路装置の製造方法。

**【請求項 5】** 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体集積回路装置の生産量が、予め定められた生産量のしきい値よりも多いか否かを判断する工程、

(b) 前記半導体集積回路装置の生産量が前記しきい値よりも多い場合には、前記半導体集積回路装置の機能が確定しているか否かについて判断する工程、(c) 前記機能が確定していない場合には、露光処理に際して有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いる工程。

**【請求項 6】** 請求項 5 記載の半導体集積回路装置の製造方法において、前記半導体集積回路装置の機能が確定した段階で、露光処理に際して金属膜を露光光に対する遮光体とするフォトマスクを用いる工程を有することを特徴とする半導体集積回路装置の製造方法。

**【請求項 7】** 請求項 5 記載の半導体集積回路装置の製造方法において、前記半導体集積回路装置の機能が確定している場合には、露光処理に際して金属膜を露光光に対する遮光体とするフォトマスクを用いる工程を有することを特徴とする半導体集積回路装置の製造方法。

**【請求項 8】** 半導体集積回路装置の製造工程におい

て、量産工程の前は、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いることを特徴とする半導体集積回路装置の製造方法。

**【請求項 9】** 半導体集積回路装置の製造工程において、量産工程の前は、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第 1 のフォトマスクを用い、量産工程は、露光処理に際して金属膜を露光光に対する遮光体とする第 2 のフォトマスクを用いることを特徴とする半導体集積回路装置の製造方法。

**【請求項 10】** 半導体集積回路装置の製造工程において、論理回路構成にかかわるパターンの形成工程においては、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第 1 のフォトマスクを用い、単位セルにかかわるパターンの形成工程においては、露光処理に際して金属膜を露光光に対する遮光体とする第 2 のフォトマスクを用いることを特徴とする半導体集積回路装置の製造方法。

**【請求項 11】** 半導体集積回路装置の製造工程において、(a) 半導体集積回路装置の量産工程の前においては、論理回路構成にかかわるパターンを形成するための露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第 1 のフォトマスクを用いる工程、(b) 半導体集積回路装置の量産工程においては、論理回路構成にかかわるパターンを形成するための露光処理に際して金属膜を露光光に対する遮光体として有する第 2 のフォトマスクを用いる工程、(c) 前記量産工程の前および量産工程において、単位セルにかかわるパターンを形成するための露光処理に際して、金属膜を露光光に対する遮光体とする第 2 のフォトマスクを用いる工程を有することを特徴とする半導体集積回路装置の製造方法。

**【請求項 12】** ROMを有する半導体集積回路装置の製造工程において、ROMのデータ書き込みにかかわるパターンを形成するための露光処理に際しては、有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第 1 のフォトマスクを用い、前記データ書き込み以外のパターンを形成するための露光処理に際しては、金属膜を露光光に対する遮光体とする第 2 のフォトマスクを用いることを特徴とする半導体集積回路装置の製造方法。

**【請求項 13】** ROMを有する半導体集積回路装置の製造工程において、(a) 半導体集積回路装置の量産工程の前においては、ROMのデータ書き込みにかかわるパターンを形成するための露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第 1 のフォトマスクを用いる工程、(b) 半導体集積回路装置の量産工程においては、ROMのデータ書き込みにかかわるパターンを形成するための露光処理に際し

て金属膜を露光光に対する遮光体として有する第2のフォトマスクを用いる工程、(c)前記量産工程の前および量産工程において、ROMのデータ書き込み以外のパターンを形成するための露光処理に際しては、金属膜を露光光に対する遮光体とする第2のフォトマスクを用いる工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項14】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 露光処理に際して有機感光性樹脂を露光光に対する遮光体として有する第1のフォトマスクを用いる生産タイプおよび金属膜を露光光に対する遮光体とする第2のフォトマスクを用いる生産タイプを含む顧客用メニューを半導体集積回路装置の生産者が用意する工程、

(b) 前記顧客用メニューの中から半導体集積回路装置または半導体集積回路装置の所定の製造工程に最適な生産タイプを生産依頼者側で選択する工程。

【請求項15】 半導体集積回路装置のパターン形成工程に際して、(a) 有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを用いる露光処理、(b) 金属膜を露光光に対する遮光体とする第2のフォトマスクを用いる露光処理、(c) エネルギービームを用いた直接描画処理を使い分けすることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項15記載の半導体集積回路装置の製造方法において、フォトマスクの使用量が、予め定められた使用量のしきい値よりも多いか否かを判断する工程、前記フォトマスクの使用量が前記しきい値よりも少ない場合には、前記第1のフォトマスクが使用可能か否かについて判断する工程、前記第1のフォトマスクが使用可能な場合は、前記第1のフォトマスクを用いて露光処理を行う工程、前記第1のフォトマスクが使用不可能な場合は、前記エネルギービームを用いた直接描画処理を行う工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項15記載の半導体集積回路装置の製造方法において、フォトマスクの使用量が、予め定められた使用量のしきい値よりも多いか否かを判断する工程、前記フォトマスクの使用量が前記しきい値よりも多い場合には、前記第2のフォトマスクが使用可能か否かについて判断する工程、前記第2のフォトマスクが使用可能な場合は、前記第2のフォトマスクを用いて露光処理を行う工程、前記第2のフォトマスクが使用不可能な場合は、前記第1のフォトマスクが使用可能か否かを判断する工程、前記第1のフォトマスクが使用可能な場合は、第1のフォトマスクを用いて露光処理を行う工程、前記第1のフォトマスクが使用不可能な場合は、前記エネルギービームを用いた直接描画処理を行う工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項18】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体集積回路装置の評価側において、有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを作成する工程、(b) 半導体集積回路装置の製造側において、前記第1のフォトマスクを用いて露光処理を行い半導体ウエハ上に所定のパターンを転写する工程、(c) 前記半導体集積回路装置の評価側において、前記所定のパターンが転写された半導体ウエハの評価を行う工程。

【請求項19】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体集積回路装置の量産工程においては、露光処理に際して金属膜を露光光に対する遮光体とするフォトマスクを用いる工程、(b) 前記半導体集積回路装置の量産工程の終了後、前記金属膜を露光光に対する遮光体とするフォトマスクを滅却する工程、(c) 前記半導体集積回路装置の再製造においては、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いる工程。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法において、前記半導体集積回路装置の再製造に際し、その生産量が、予め決められた生産量のしきい値を上回った段階で、露光処理に際して、前記有機感光性樹脂を含む有機材料を露光光に対する遮光体として有するフォトマスクに代えて、金属膜を露光光に対する遮光体とするフォトマスクを用いることを特徴とする半導体集積回路装置の製造方法。

【請求項21】 (a) 半導体集積回路装置の量産工程の前においては、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを用いる工程、(b) 半導体集積回路装置の量産工程においては、露光処理に際して金属膜を露光光に対する遮光体とする第2のフォトマスクを用いる工程を有し、前記第1のフォトマスクには、複数の半導体チップの転写領域が配置され、各転写領域には同一の半導体集積回路装置の異なるデータを有するパターンが配置されることを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項21記載の半導体集積回路装置の製造方法において、前記第2のフォトマスクには、複数の半導体チップの転写領域が配置され、各転写領域には、評価工程によって選ばれた同一の半導体集積回路装置の同一のデータを有するパターンが配置されることを特徴とする半導体集積回路装置の製造方法。

【請求項23】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法；

(a) 半導体集積回路装置の設計期間が終了した順に、複数の半導体集積回路装置の半導体チップの転写領域を同一のフォトマスクに配置する工程、(b) 前記同一の

フォトマスクを用いて露光処理を行う工程。

【請求項24】 請求項23記載の半導体集積回路装置の製造方法において、前記同一のフォトマスクは、有機感光性樹脂を含む有機材料を露光光に対する遮光体として有するフォトマスクであることを特徴とする半導体集積回路装置の製造方法。

【請求項25】 (a) 第1の試作工程においては、複数の半導体集積回路装置の半導体チップの転写領域を配置したフォトマスクを用いて露光処理を行い、これによって転写されたパターンの良否を判定する工程、(b) 第2の試作工程においては、前記第1の試作工程で合格しなかった複数の半導体集積回路装置の半導体チップの転写領域を配置したフォトマスクを用いて露光処理を行い、これによって転写されたパターンを判定する工程を有し、前記第1、第2の試作工程で使用したフォトマスクは、有機感光性樹脂を含む有機材料を露光光に対する遮光体として有するフォトマスクであることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の製造工程において、半導体ウエハ（以下、単にウエハと言う）にフォトマスク（以下、単にマスクという）を用いて所定のパターンを転写するフォトリソグラフィ（以下、単にリソグラフィという）技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置(LSI: Large Scale Integrated circuit)の製造においては、微細パターンをウエハ上に形成する方法として、リソグラフィ技術が用いられる。このリソグラフィ技術としては、マスク上に形成されているパターンを縮小投影光学系を介してウエハ上に繰り返し転写する、所謂光学式投影露光方法が主流となっている。露光装置の基本構成については、例えば特開2000-91192号公報に示されている。

【0003】この投影露光法におけるウエハ上での解像度 $R$ は、一般に、 $R = k \times \lambda / NA$ で表現される。ここに $k$ はレジスト材料やプロセスに依存する定数、 $\lambda$ は照明光の波長、 $NA$ は投影露光用レンズの開口数である。この関係式から分かるように、パターンの微細化が進むにつれて、より短波長の光源を用いた投影露光技術が必要とされている。現在、照明光源として水銀ランプの*i*線( $\lambda = 365\text{ nm}$ )やKrFエキシマレーザ( $\lambda = 248\text{ nm}$ )を用いた投影露光装置によって、LSIの製造が行なわれている。更なる微細化を実現する為には、より短波長の光源が必要となり、ArFエキシマレーザ( $\lambda = 193\text{ nm}$ )やF<sub>2</sub>エキシマレーザ( $\lambda = 157\text{ nm}$ )の採用が検討されている。

【0004】一方、投影露光法で用いられる上記マスクは、露光光に透明な石英ガラス基板上に遮光膜としてクロム等からなる遮光パターンを形成した構造を有する。その製造工程は、例えば次のようなものがある。まず、石英ガラス基板上に遮光膜となるクロム膜を形成し、その上に電子線に感光するレジスト膜を塗布する。次に、所定のパターン情報に基づいて電子線を上記レジスト膜に照射し、これを現像してレジストパターンを形成する。続いて、上記レジストパターンをエッチングマスクとして前記クロムの薄膜をエッチングすることによりクロム等からなる遮光パターンを形成する。最後に残った電子線感光のレジスト膜を除去してマスクを製造する。

【0005】

【発明が解決しようとする課題】ところが、上記クロム等のような金属膜からなる遮光パターンを有するマスクを用いる露光技術においては、以下の課題があることを本発明者は見出した。

【0006】すなわち、金属膜からなる遮光パターンを有するマスクは、耐久性に富み信頼性が高く大量の露光処理に活用できることから量産に適しているが、例えば半導体集積回路装置の開発期、試作期および少量多品種の半導体集積回路装置の製造工程等、マスクパターンに変更や修正が生じ易く、マスクの共有頻度が低い場合等には、マスクの製造に時間がかかる上、マスクのコストが高くなること等から、半導体集積回路装置の生産性の向上や半導体集積回路装置のコスト低減を阻害する、という課題がある。

【0007】本発明の目的は、半導体集積回路装置の生産性を向上させることのできる技術を提供することにある。

【0008】また、本発明の目的は、半導体集積回路装置の製造時間を短縮することのできる技術を提供することにある。

【0009】さらに、本発明の目的は、半導体集積回路装置のコストを低減することのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】すなわち、本発明は、半導体集積回路装置の生産量に応じて、露光処理時に使用するフォトマスクを、有機感光性樹脂を露光光に対する遮光体として有する第1のフォトマスクと、金属膜を露光光に対する遮光体とする第2のフォトマスクとで使い分けるものである。

【0013】また、本発明は、半導体集積回路装置の生

産量が、予め定められた生産量のしきい値よりも多いか否かを判断する工程、前記半導体集積回路装置の生産量が前記しきい値よりも少ない場合には、露光処理に際して有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いる工程を有するものである。

【0014】また、本発明は、半導体集積回路装置の生産量が、予め定められた生産量のしきい値よりも多いか否かを判断する工程、前記半導体集積回路装置の生産量が前記しきい値よりも多い場合には、前記半導体集積回路装置の機能が確定しているか否かについて判断する工程、前記機能が確定していない場合には、露光処理に際して有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いる工程を有するものである。

【0015】また、本発明は、半導体集積回路装置の製造工程において、量産工程の前は、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いるものである。

【0016】また、本発明は、半導体集積回路装置の製造工程において、量産工程の前は、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを用い、量産工程は、露光処理に際して金属膜を露光光に対する遮光体とする第2のフォトマスクを用いるものである。

【0017】また、本発明は、半導体集積回路装置の製造工程において、論理回路構成にかかわるパターンの形成工程においては、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを用い、単位セルにかかわるパターンの形成工程においては、露光処理に際して金属膜を露光光に対する遮光体とする第2のフォトマスクを用いるものである。

【0018】また、本発明は、ROMを有する半導体集積回路装置の製造工程において、ROMのデータ書き込みにかかわるパターンを形成するための露光処理に際しては、有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを用い、前記データ書き込み以外のパターンを形成するための露光処理に際しては、金属膜を露光光に対する遮光体とする第2のフォトマスクを用いるものである。

【0019】また、本発明は、半導体集積回路装置のパターン形成工程に際して、有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを用いる露光処理、金属膜を露光光に対する遮光体とする第2のフォトマスクを用いる露光処理およびエネルギービームを用いた直接描画処理を使い分けるものである。

【0020】また、本発明は、半導体集積回路装置の評価側において、有機感光性樹脂を含む有機材料を露光光

に対する遮光体として有する第1のフォトマスクを作成する工程、半導体集積回路装置の製造側において、前記第1のフォトマスクを用いて露光処理を行い半導体ウエハ上に所定のパターンを転写する工程、前記半導体集積回路装置の評価側において、前記所定のパターンが転写された半導体ウエハの評価を行う工程を有するものである。

【0021】また、本発明は、半導体集積回路装置の量産工程においては、露光処理に際して金属膜を露光光に対する遮光体とするフォトマスクを用いる工程、前記半導体集積回路装置の量産が終了した後、前記金属膜を露光光に対する遮光体とするフォトマスクを減却する工程、前記フォトマスク減却後に前記半導体集積回路装置を再製造する際には、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有するフォトマスクを用いる工程を有するものである。

【0022】また、本発明は、半導体集積回路装置の量産工程の前においては、露光処理に際して有機感光性樹脂を含む有機材料を露光光に対する遮光体として有する第1のフォトマスクを用いる工程、半導体集積回路装置の量産工程においては、露光処理に際して金属膜を露光光に対する遮光体とする第2のフォトマスクを用いる工程を有し、前記第1のフォトマスクには、複数の半導体チップの転写領域が配置され、各転写領域には同一の半導体集積回路装置の異なるデータを有するパターンが配置されるものである。

【0023】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0024】1. マスク（光学マスク）：マスク基板上に光を遮光するパターンや光の位相を変化させるパターンを形成したものである。実寸の数倍のパターンが形成されたレチクルも含む。マスクの第1の主面とは、上記光を遮蔽するパターンや光の位相を変化させるパターンが形成されたパターン面であり、マスクの第2の主面とは第1の主面とは反対側の面のことを言う。

【0025】2. 通常マスク（第2のフォトマスク）：マスク基板上に、メタルからなる遮光パターンと、光透過パターンとでマスクパターンを形成した一般的なマスクのことを言う。本実施の形態では、マスクを透過する露光光に位相差を生じさせる手段を有する位相シフトマスクも通常マスクに含まれるものとする。露光光に位相差を生じさせる位相シフトは、例えばマスク基板に所定の深さの溝を掘るものやマスク基板上に所定の膜厚の透明膜や半透明膜を設けるものがある。

【0026】3. レジストマスク（第1のフォトマスク）：マスク基板上に、有機感光性樹脂膜を含む有機材料からなる遮光体（遮光膜、遮光パターン、遮光領域）を有するマスクを言う。なお、ここで言う有機材料は、有機感光性樹脂膜の単体膜、有機感光性樹脂膜に吸光材

料または減光材料を添加したもの、有機感光性樹脂膜と他の膜（例えば反射防止膜、吸光性樹脂膜または減光性樹脂膜）との積層膜等を含む。

【0027】4. マスク（上記通常のマスクおよびレジストマスク）のパターン面を以下の領域に分類する。転写されるべき集積回路パターンが配置される領域「集積回路パターン領域」、その外周の領域「周辺領域」。

【0028】5. 特に限定されるものではないが、本明細書中においては、便宜上、レジストマスクを、その製造工程の観点から次の3つに分類する。すなわち、マスクブランク（以下、単にブランクという）、メタルマスクおよびレジストマスクである。ブランクは、所望のパターンを転写するためのマスクとして完成する前の初期段階のマスクであって、上記集積回路パターン領域にパターンが形成されていないが、マスクを製造するのに必要な基本構成部を有する共通性（汎用性）の高い段階のマスクをいう。メタルマスクは、マスクとして完成されていないが、上記集積回路パターン領域にメタルからなるパターンが形成された段階のマスク。このメタルマスクと上記通常のマスクとの違いは、所望のパターンを被処理基板上に転写可能なマスクとして完成されているか、否かの点である。レジストマスクは、マスクとして完成されたものであって、上記集積回路パターン領域に、レジスト膜等のような有機感光性樹脂を含む有機材料からなるパターンが形成された段階のマスクという。マスク上において、所望のパターンを転写するためのパターンが、全てレジスト膜からなるものと、メタルおよびレジスト膜の両方からなるものとがある。

【0029】6. ウェハとは、集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体集積回路装置というときは、シリコンウェハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT（Thin-Film-Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【0030】7. デバイス面とは、ウェハの主面であって、その面にリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面を言う。

【0031】8. 「遮光体」、「遮光領域」、「遮光膜」、「遮光パターン」と言うときは、その領域に照射される露光光のうち、40%未満を透過させる光学特性を有することを示す。一般に数%から30%未満のものが使われる。一方、「透明」、「透明膜」、「光透過領域」、「光透過パターン」と言うときは、その領域に照射される露光光のうち、60%以上を透過させる光学特性を有することを示す。一般に90%以上のものが使用

される。

【0032】9. 転写パターン：マスクによってウェハ上に転写されたパターンであって、具体的にはレジストパターンおよびレジストパターンをマスクとして実際に形成されたウェハ上のパターンを言う。

【0033】10. レジストパターン：感光性の有機膜をフォトリソグラフィの手法により、パターンニングした膜パターンを言う。なお、このパターンには当該部分に関して全く開口のない単なるレジスト膜を含む。

【0034】11. ホールパターン：ウェハ上で露光波長と同程度又はそれ以下の二次元的寸法を有するコンタクトホール、スルーホール等の微細パターン。一般には、マスク上では正方形またはそれに近い長方形あるいは八角形等の形状であるが、ウェハ上では円形に近くなることが多い。

【0035】12. ラインパターン：ウェハ上で配線パターン等を形成する帯状のパターンをいう。

【0036】13. 通常照明：、非変形照明のことで、光強度分布が比較的均一な照明を言う。

【0037】14. 変形照明：中央部の照度を下げた照明であって、斜方照明、輪帯照明、4重極照明、5重極照明等の多重極照明またはそれと等価な瞳フィルタによる超解像技術を含む。

【0038】15. スキャンニング露光：細いスリット状の露光帯を、ウェハとマスクに対して、スリットの長手方向と直交する方向に（斜めに移動させてもよい）相対的に連続移動（走査）させることによって、マスク上の回路パターンをウェハ上の所望の部分に転写する露光方法。

【0039】16. ステップ・アンド・スキャン露光：上記スキャンニング露光とステッピング露光を組み合わせるウェハ上の露光すべき部分の全体を露光する方法であり、上記スキャンニング露光の下位概念に当たる。

【0040】17. ステップ・アンド・リピート露光：マスク上の回路パターンの投影像に対してウェハを繰り返しステップすることで、マスク上の回路パターンをウェハ上の所望の部分に転写する露光方法。

【0041】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0042】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0043】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合

等を除き、必ずしも必須のものではないことは言うまでもない。

【0044】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0045】また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0046】また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにメタルおよび有機材料からなる遮光体にハッチングを付す。

【0047】また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

【0048】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0049】(実施の形態1) まず、本発明の一実施の形態である半導体集積回路装置の製造に使用するマスクの製造について説明する。

【0050】半導体集積回路装置の製造に際し、顧客が選択するマスクの製造フローの一例を図1に示す。まず、半導体集積回路装置のパターンレイアウト設計データを使ってマスクのパターンレイアウト設計データを作成した後(工程100)、その半導体集積回路装置が生産生産品か否かを判断する(工程101)。その生産生産品か否かの判定基準は、例えば次式を用いる。すなわち、半導体集積回路装置の総単価＝(マスクの費用×予想変更回数＋その他の費用)／生涯生産数＋製造原価、の式に従う。式中における、その他の費用には、例えば開発費等が含まれる。この総単価にしめるマスク費用の比率をあらかじめ定めた値(例えば2%等)とすることで、生涯生産数のしきい値を求め、これから製造しようとしている半導体集積回路装置の生産数が、そのしきい値より多ければ生涯生産品であると判断し、少なければ生涯生産品でないと判断する。

【0051】その半導体集積回路装置が生産生産品でない場合(生涯生産数が上記しきい値より少ない場合)は、図1の左側のフローとなり、基本的にマスクとして上記レジストマスクを用いる。すなわち、図1の左側のフローでは、レジストマスクの試作工程を経て、レジストマスクによる半導体集積回路装置の生産工程に移行する。レジストマスクの試作工程からレジストマスクによる半導体集積回路装置の生産工程では、開発要素が大である半導体集積回路装置についてTape-Out(工

程102a1)の後、その半導体集積回路装置の作成のためのレジストマスクを試作する(工程102a2)。続いて、その試作のレジストマスクを評価した後(工程102a3)、機能の良否を判定する(工程102a4)。機能判定に合格した場合には、これを露光処理時に用いて半導体集積回路装置を生産する(工程103a)。一方、機能判定で不合格の場合には、上記試作のレジストマスクを修正(工程102a6)し、再びTape-out(工程102a1)からやり直す。このようなレジストマスクを用いた場合は、後述のように、マスクパターンの修正や変更を簡単に、短時間のうちにでき、しかも、材料費、工程費および燃料費を低減できる。このため、このようなフローを半導体集積回路装置の開発期や試作期(量産工程の前)に適用することで、半導体集積回路装置の開発期間や試作期間を短縮できる。また、半導体集積回路装置の開発費や試作費を低減できる。したがって、生産数が比較的少ない半導体集積回路装置であっても、比較的安いコストで生産することができる。ただし、その後、半導体集積回路装置の需要が増えてきた段階で、生産数が拡大したか否かを判定し(工程104)、生産数の拡大が認められた場合は、最も右側のフローに移行し、マスクとして上記通常のマスクを用いることもできる。生産数の拡大の判定は、上記生涯生産の判定と同じである。このような通常のマスクは、耐久性に富み信頼性が高く、大量の露光処理に活用できることから量産に適している。すなわち、半導体集積回路装置の生産数の拡大が確認された時点(すなわち、量産工程に移行する時点)で通常のマスクを用いることにより、大量生産時のマスクの信頼性の向上を図ることができるので、それを用いて生産される半導体集積回路装置の信頼性および歩留まりの向上を図ることができる。

【0052】また、工程101で半導体集積回路装置が生産生産品であると判定された場合(生涯生産数が上記しきい値より多い場合)は、機能確度を判定する(工程102b1)。機能確度工程は、半導体集積回路装置の機能の確からしさを判定する工程である。この判定の結果、顧客の設計内容に開発要素が多く、マスクの修正や変更が数回に及ぶような場合は、図1の中央のフローとなる。図1の中央のフローでは、開発期や試作期に際してマスクとして上記レジストマスクを用い、その後、顧客側で目標仕様が満足できたと判断された時点で、通常マスクの作成および量産開始とする。ここでは、開発要素が大である半導体集積回路装置についてTape-Out(工程102b2)の後、その半導体集積回路装置の作成のためのレジストマスクを試作する(工程102b3)。続いて、その試作のレジストマスクを評価した後(工程102b4)、機能の良否を判定する(工程102b5)。機能判定に合格した場合には、通常マスクを作成し、これを用いて露光処理を行い半導体集積回



路装置を生産する。一方、機能判定で不合格の場合には、上記試作のレジストマスクを修正（工程102b6）し、再びTape-out（工程102b2）からやり直す。その後、顧客側で目標仕様が満足されたら、通常のマスクを作成し、これを露光処理時に用いて半導体集積回路装置を生産する（工程103b）。このように、半導体集積回路装置の開発や試作等のように機能確度が不安定な段階では、マスクパターンの変更や修正を短時間にでき、しかも低コストでできるレジストマスクを用いる。これにより、半導体集積回路装置の開発や試作期間を短縮することができる。また、半導体集積回路装置の開発費や試作費を大幅に低減できる。一方、その後、機能が確定した段階では、耐久性に富み信頼性が高く、大量の露光処理に活用できる通常のマスクを用いる。これにより、大量生産時のマスクの信頼性の向上を図ることができるので、それを用いて生産される半導体集積回路装置の信頼性および歩留まりの向上を図ることができる。したがって、以上のような開発期、試作期および量産期を経て生産される半導体集積回路装置の総合的なコストを低減できる。また、半導体集積回路装置の生産効率を向上させることができる。

【0053】また、工程101で半導体集積回路装置が生涯生産品であると判定され、かつ、顧客の設計内容が既にデバック済みであり、上記機能確度工程102b1で機能が確定していると認められる場合は、マスクの変更や修正の可能性が低いので、図1の右側のフローとなる。すなわち、Tape-Out（工程102c）を経て、最初から通常のマスクを作成し、これを露光処理時に用いて半導体集積回路装置を生産する（工程103c）。これにより、半導体集積回路装置の生産の総合的な費用、原価を低減することができる。なお、上記露光処理は、上記ステップ・アンド・リピート露光方法およびステップ・アンド・スキャン露光方法のいずれの露光方法を用いても良い。

【0054】このような半導体集積回路装置の生産に際しては、半導体集積回路装置の生産または供給側が、例えば図2に示すような半導体集積回路装置の生産のスタイルを顧客に提示する。ここでは、例えば4つの生産タイプが例示されている。すなわち、レジストマスク専門型、レジストマスク初期生産型、レジストマスク開発型、通常のマスク専門型である。レジストマスク専門型は、図1の左側のフローで説明したタイプである。また、レジストマスク初期生産型は、図1の左側のフローから工程104を経て右側のフローに移行したタイプである。また、レジストマスク開発型は、図1の中央のフローで説明したタイプである。さらに、通常のマスク専門型は、図1の右側のフローで説明したタイプである。このようにすることで、顧客側では、マーケット情報等から予想される半導体集積回路装置の生涯生産数、顧客設計内容の確度等の種々のファクタを検討した後、図2

のメニューの中から製品または製造工程毎に最適な生産タイプを選択することができる。このため、顧客側では、特に難しい判定や判断をすることなく、要求に合った生産スタイルを選択することができる。

【0055】また、上記生産タイプのメニューは、製造メーカー側でホームページまたは専用の通信エリアに用意しておくこともできる。顧客は、インターネット回線または専用回線等のような通信回線を通じて上記ホームページまたは専用の通信エリアにアクセスすることで、上記生産タイプを選択することが可能となっている。この場合、どの生産タイプが顧客にとって最適かを自動的に選択できるようなナビゲーションシステムを構築することが好ましい。例えば上記ホームページや専用の通信エリアでは、アクセスしてきた顧客に対して、図2中の形態、生産数量、開発費、開発TAT、パターン変更の可能性等のような種々のファクタに関して1つ1つ質問する。そして、顧客側に、その質問に対して逐次回答してもらうことで、最適な生産タイプを自動的に選択することができるようにする。もちろん、ホームページや専用の通信エリアに図2のような顧客メニューをそのままのせて、顧客側にとって最適な生産タイプを選択してもらうようにしても良い。このようにすることで、顧客側では製品または工程の最適な生産タイプを簡単に選択でき、半導体集積回路装置を効率的に生産することが可能となる。また、製造メーカー側は、種々の半導体集積回路装置に関する情報を、広域的に、しかも即座に供給することが可能となる。もちろん、生産タイプの選択は、電話回線や他の通信手段等を使って行うことも可能である。

【0056】図3は、レジストマスク開発型に適した半導体集積回路装置の生産工程を具体的に示している。ここでは、自社で半導体集積回路装置の設計、開発、試作および生産を一貫して行う、垂直統合型の半導体製造企業でのマスクの使い分けが例示されている。すなわち、TEG（Test Element Group）、プロトタイプおよび製品版の数カット（設計から試作までの単位）に渡る開発段階（第1四半期～第4四半期の途中）では、レジストマスクを使用することにより、マスクの費用の低減および開発期間や試作期間の短縮を図る。その後、製品の機能仕様等が確認され、需要の立ち上がりが確認された段階で、通常のマスクに切り換え、半導体集積回路装置の量産に移行する。

【0057】次、本実施の形態で用いた露光装置の一例を図4に示す。

【0058】露光装置1は、例えば一般的な縮小投影露光装置であって、光源から発する光Lを導く光路1a、デフューザ1b、照明絞り1c、照明光学系（コンデンサレンズ）1d、マスクステージ1e、投影光学系1f、ウエハステージ1g等を有している。マスクMをマスクステージ1e上に、ウエハ2Wをウエハステージ1

g上にそれぞれ載置し、マスクM上のマスクパターンをウエハ2Wに転写する。露光光源としては、例えばi線(波長365nm)、KrFエキシマレーザ光(波長248nm)、ArFエキシマレーザ光(波長193nm)またはF<sup>2</sup>レーザ光(波長157nm)等を用いる。露光方法としては、例えば上記ステップ・アンド・リピート露光方法またはステップ・アンド・スキニング露光方法のいずれを用いても良い。マスクステージ1e上のマスクMは、上記通常のマスクまたはレジストマスクを使い分ける。また、マスクステージ1e上のマスクMは、転写を所望するパターンの種類に応じて適宜交換する。マスクMの表面にペリクルを設けても良い。マスクステージ1eの位置制御は、駆動系1hによって行われている。また、ウエハステージ1gの位置制御は、駆動系1iによって行われている。駆動系1h、1iは、主制御系1jからの制御命令に応じて駆動される。ウエハ2Wの位置は、ウエハステージ1gに固定されたミラーの位置をレーザ測長器1kによって検出することで得られる。そこで得られた位置情報は、主制御系1jに伝送される。主制御系1jでは、その情報に基づいて駆動系1iを駆動する。また、主制御系1jはネットワーク装置1mと電気的に接続されており、露光装置1の状態の遠隔監視等が可能となっている。

【0059】次に、上記マスクMについて説明する。本実施の形態で用いるマスクMは、例えば実寸の1~10倍程度の寸法の集積回路パターンの原画を、縮小投影光学系等を通してウエハに転写するためのレチクルである。また、ここでは、ウエハ上にラインパターンを転写する場合に用いるマスクを例示するが、本発明の技術思想はこれに限定されるものではなく種々適用可能であり、例えば上記ホールパターン等を転写する場合にも適用可能である。なお、以下で説明する通常のマスクおよびレジストマスクは、説明を分かり易くするために示した一例であって、本発明に使用できる通常のマスクおよびレジストマスクを限定するものではない。

【0060】図5~図9は、上記通常のマスクの一例を示している。図5~図9の各々において(b)は、各図(a)のA-A線の断面図である。

【0061】マスクMN1~MN3、MN4a、MN4b(M)のマスク基板3は、例えば平面四角形に形成された厚さ6mm程度の透明な合成石英ガラス基板等となる。マスクMN1、MN2、MN4a、MN4bを用いる場合は、ウエハ上でポジ型のレジスト膜を用い、マスクMN3を用いる場合は、ウエハ上でネガ型のレジスト膜を用いる。

【0062】図5のマスクMN1は、半導体チップの周辺が遮光領域となるマスクを例示している。このマスクMN1におけるマスク基板3の主面(パターン形成面)中央の上記集積回路パターン領域には、平面長方形形状の光透過領域4aが形成されており、マスク基板3の主面

の一部が露出されている。この光透過領域4aには、メタルからなる遮光パターン5aが配置されている。この遮光パターン5aは、ウエハ上のラインパターン(集積回路パターン)として転写される。また、その集積回路パターン領域の外周の上記周辺領域は、メタルからなる遮光パターン5b(メタル枠)によって覆われている。遮光パターン5a、5bは、同工程時にパターン加工されたもので、例えばクロム(Cr)またはクロム上に酸化クロムが堆積されてなる。ただし、メタルの遮光パターンの材料は、これに限定されるものではなく種々変更可能である。このメタル材料については後述する。

【0063】図6のマスクMN2は、半導体チップの周辺輪郭が遮光領域となるマスクを例示している。マスクMN2の集積回路パターン領域については上記マスクMN1と同じなので説明を省略する。このマスクMN2のマスク基板3の主面において集積回路パターン領域は、メタルからなる帯状の遮光パターン5c(メタル枠)によって取り囲まれている。遮光パターン5cの材料は、上記遮光パターン5a、5bと同じである。また、マスクMN2の上記周辺領域の大半は、遮光膜が除去されて光透過領域4bとなっている。

【0064】図7のマスクMN3は、上記マスクMN1、MN2の反転パターンを有するマスクを例示している。このマスクMN3のマスク基板3の主面は、その大半がメタルからなる遮光膜5dで覆われている。遮光膜5dの材料は、上記遮光パターン5b、5cと同じである。そして、マスクMN3の集積回路パターン領域において、遮光膜5dの一部が除去されて光透過パターン4cが形成されている。この光透過パターン4cは、ウエハ上のラインパターンとして転写される。なお、この図7のマスクMN3の周辺領域を上記図6の周辺領域のようにしても良い。

【0065】図8のマスクMN4aと、図9のマスクMN4bとは、ウエハ上の一つまたは一群のパターンを、複数枚のマスクを重ね合わせて露光することにより形成する、いわゆる重ね合わせ露光に使うマスクを例示している。

【0066】図8のマスクMN4aの集積回路パターン領域には、例えば平面逆L字状の光透過領域4dが形成されている。光透過領域4dには、上記メタルの遮光パターン5aが配置されている。この光透過領域4dの周囲は、その大半がメタルの遮光パターン5bで覆われている。マスクMN4aの集積回路パターン領域における一部の領域も遮光パターン5bにより覆われている。このマスクMN4aは、例えば半導体集積回路装置においてパターンの修正や変更が基本的に行われない定形パターン群で構成される回路のパターンを転写するマスクとして用いる。

【0067】一方、図9のマスクMN4bの集積回路パターン領域には、例えば比較的小面積の平面四角形状の

光透過領域 4 e が形成されている。この光透過領域 4 e は、上記マスク MN 4 a の集積回路パターン領域において遮光パターン 5 b で覆われていた一部の領域に相当する領域に形成されている。光透過領域 4 e には、金属の遮光パターン 5 a が配置されている。この光透過領域 4 e の周囲は、その大半が金属の遮光パターン 5 b で覆われている。このマスク MN 4 b は、例えば半導体集積回路装置においてパターンの修正や変更が行われるパターン群で構成される回路のパターンを転写するマスクとして用いる。すなわち、そのパターンの修正や変更が生じた場合は、マスク MN 4 b のみを代えれば良いので、マスクの製造時間を短縮できる。また、マスク製造における材料費、工程費および燃料費を低減できる。露光処理に際しては、それぞれのマスク MN 4 a、MN 4 b を用いてウエハに対して露光処理を施す。そして、双方のマスク MN 4 a、MN 4 b の露光処理が終了した後、ウエハ上のレジスト膜に対して現像等の処理を施してウエハ上にレジストパターンを形成する。

【0068】このような通常のマスクの製造工程の一例を図 10 に示す。まず、マスク基板 3 上に、例えばクロム等からなる遮光膜 5 を堆積し、その上に電子線に感光するレジスト膜 6 を塗布する(図 7 (a))。ただし、遮光膜 5 は、クロムに限定されるものではなく種々変更可能であり、例えばタングステン (W)、モリブデン (Mo)、タンタル (Ta) またはチタン (Ti) 等のような高融点金属、窒化タングステン (WN) 等のような高融点金属窒化物、タングステンシリサイド (WSi<sub>x</sub>) やモリブデンシリサイド (MoSi<sub>x</sub>) 等のような高融点金属シリサイド (化合物)、あるいはこれらの積層膜を用いても良い。後述のレジストマスクの場合は、レジスト膜からなる遮光パターンを除去した後、マスク基板を洗浄し再度使用する場合があるので、金属の遮光パターンは耐剥離性や耐摩耗性に富む材料が好ましい。タングステン等の高融点金属は、耐酸化性および耐摩耗性に富み、耐剥離性に富むので、金属の遮光パターンの材料として好ましい。続いて、所定のパターン情報を有する電子線 EB を照射して現像し、レジストパターン 6 a を形成する(図 7 (b))。続いて、そのレジストパターン 6 a をエッチングマスクとして遮光膜 5 をエッチングして遮光パターン 5 a、5 b を形成する(図 7 (c))。最後に残った電子線感光のレジストパターン 6 a を除去して通常のマスク M を製造する(図 7 (d))。このような通常のマスクは、耐久性に富み信頼性が高く大量の露光処理に活用できることから、半導体集積回路装置の量産時に用いるマスクとして適している。

【0069】また、図 11 に他の通常のマスク MN 5 (M) を示す。図 11 (a) は、マスク MN 5 の平面図、(b) は (a) の要部拡大断面図、(c) は変形例であって (a) の要部拡大断面図を示している。図 11 のマスク MN 5 は、上記位相シフトマスクを例示してい

る。マスク基板 3 の主面上に堆積された遮光膜 5 d の一部には光透過パターン 4 c が形成されている。この光透過パターン 4 c のうち、互いに隣接するものの一方には、図 11 (b) または (c) に示すように、位相シフタ S が配置されている。図 11 (b) は、位相シフタ S がマスク基板 3 に掘られた溝によって形成されている場合が例示されている。ここでは、その溝の幅方向の一部が、遮光膜 5 d の下側に入り込む構造となっている。これにより、光の導波管減少が低減され、パターンの転写精度を向上させることができる。一方、図 11 (c) は、位相シフタ S が透明膜で形成されている場合が例示されている。これらのような位相シフタ S が配置された光透過パターン 4 c を透過した光と、位相シフタ S が配置されていない光透過パターン 4 c を透過した光とでは位相が 180 度反転する。この位相シフタ S を形成するための溝の深さや透明膜の厚さ d は、 $d = \lambda / (2(n - 1))$  を満たすようになっている。この式で、 $\lambda$  は、光の波長、 $n$  は、位相シフタの屈折率である。ここで示した位相シフトマスクは一例であり、この他にも種々変更可能である。例えばマスク基板上に半透明膜を堆積し、これに光透過パターンを形成するハーフトーンマスクを使うこともできる。この場合は、半透明膜を透過した光と、光透過パターンを透過した光とで位相が 180 度反転するようになる。

【0070】次に、図 12 ~ 図 14 は、上記レジストマスクの一例を示している。なお、図 12 ~ 図 14 の各々において (b) は、各図 (a) の A-A 線の断面図である。

【0071】図 12 のマスク MR 1 (M) は、半導体チップの周辺が遮光領域となるマスクを例示している。このマスク MR 1 におけるマスク基板 3 の主面中央の上記集積回路パターン領域には、平面長方形形状の光透過領域 4 a が形成されており、マスク基板 3 の主面の一部が露出されている。この光透過領域 4 a には、レジスト膜等のような有機樹感光性脂膜を含む有機材料からなる遮光パターン 7 a が配置されている。この遮光パターン 7 a は、ウエハ上のラインパターンとして転写される。このように遮光パターン 7 a をレジスト膜で形成したことにより、後述するように遮光パターン 7 a を、比較的簡単に除去することができる。そして、新たな遮光パターン 7 a を簡単にしかも短時間のうちに形成することができる。この遮光パターン 7 a を形成するレジスト膜は、例えば i 線、KrF エキシマレーザ光、ArF エキシマレーザ光または F<sub>2</sub> レーザ光等のような露光光を吸収する性質を有しており、金属からなる遮光パターンとはほぼ同様の遮光機能を有している。

【0072】遮光パターン 7 a は、図 12 (c) に示すようにレジスト膜の単体膜で構成しても良いし、その単体膜に吸光材や減光材を添加しても良い。また、図 12 (d) に示すように吸光性有機膜 7 a 1 上に感光性有機

膜7a2を積層することで構成しても良いし、感光性有機膜上に反射防止膜を積層することで構成しても良い。このような積層構造とすることにより、例えばi線やKrF等のような波長が200nm以上の露光光に対しても十分な減光性を得ることが可能となる。また、遮光パターン7aがレジスト膜の単体膜で構成される場合には、そのレジスト膜に吸光材料を添加することでも波長が200nm以上の露光光に対して十分な減光性を得ることが可能となる。このレジスト膜の材料等については後述する。集積回路パターン領域の外周の周辺領域は、前記図5のマスクMN1と同様にその大半がメタルからなる遮光パターン5b(メタル枠)で覆われている。なお、レジスト膜によって遮光パターンを形成する技術については、本願発明者らによる特願平11-185221号(平成11年6月30日出願)に記載がある。

【0073】図13のマスクMR2(M)は、半導体チップの周辺輪郭が遮光領域となるマスクを例示している。集積回路パターン領域4aにレジスト膜からなる遮光パターン7aが配置されている以外は、図6の通常のマスクMN2と同じである。

【0074】図14のマスクMR3(M)は、上記マスクMR1、MR2の反転パターンを有するマスクを例示している。このマスクMR3のマスク基板3の主面の集積回路パターン領域は、遮光膜7bで覆われている。遮光膜7bの材料は、上記遮光パターン7aと同じである。そして、マスクMR3の集積回路パターン領域において、遮光膜7bの一部が除去されて光透過パターン4cが形成されている。この光透過パターン4cは、ウェハ上のラインパターンとして転写される。なお、この図14のマスクMR3の周辺領域を前記図13の周辺領域のようにしても良い。

【0075】このようなレジストマスクの製造工程の一例を図15～図19によって説明する。なお、各図(b)は各図(a)のA-A線の断面図である。また、ここでは、図12のマスクMR1の製造方法を一例として説明する。

【0076】まず、マスク基板3上に、上記メタルからなる遮光膜5を堆積した後(図15)、その上に電子線に感光するレジスト膜6を塗布する(図16)。続いて、所定のパターン情報を有する電子線等を照射して現像し、レジストパターン6bを形成する(図17)。続いて、そのレジストパターン6bをエッチングマスクとして遮光膜5をエッチングし遮光パターン5bを形成した後、レジストパターン6bを除去する。この状態の遮光パターン5bを有するマスク基板3は上記ブランクスの一例に該当する(図18)。その後、その遮光パターン5bを有するマスク基板3の主面上に、例えば電子線に感光する有機感光性樹脂膜を含む有機材料からなるレジスト膜7を150nm程度の厚さで塗布した後(図19)、マスクパターン描画及び現像を行うことにより、

図12に示したレジスト膜からなる遮光パターン7aを形成し、マスクMR1を製造する。

【0077】このレジスト膜7としては、例えば $\alpha$ -メチルスチレンと $\alpha$ -クロロアクリル酸の共重合体、ノボラック樹脂とキノンジアジド、ノボラック樹脂とポリメチルペンテン-1-スルホン、クロロメチル化ポリスチレン等を主成分とするものを用いた。ポリビニルフェノール樹脂等のようなフェノール樹脂やノボラック樹脂に酸発生剤を混合した、いわゆる化学増幅型レジスト等を用いることができる。ここで用いるレジスト膜7の材料としては、投影露光装置の光源に対し遮光特性をもち、マスク製造工程における、パターン描画装置の光源、例えば電子線あるいは230nm以上の光に感度を有する特性を持っていることが必要であり、前記材料に限定されるものではなく種々変更可能である。また、膜厚も150nmに限定されるものではなく、上記条件を満足する膜厚で良い。

【0078】ポリフェノール系、ノボラック系樹脂を約100nmの膜厚に形成した場合は、例えば150nm～230nm程度の波長で透過率がほぼ0であり、例えば波長193nmのArFエキシマレーザ光、波長157nmのF<sup>2</sup>レーザ等に十分なマスク効果を有する。ここでは、波長200nm以下の真空紫外光を対象にしたが、これに限定されない。波長365nmのi線や波長248nmのKrFエキシマレーザ光等のようなマスク材は、他の材料を用いるか、レジスト膜に光吸収材、光遮蔽材または減光材を添加する、あるいは上記したようにレジスト膜を吸光性有機膜と有機感光性樹脂膜との積層膜、有機感光性樹脂膜と反射防止膜との積層膜にすることが好ましい。また、レジスト膜からなる遮光パターン7aや遮光膜7bを形成した後、露光光照射に対する耐性を向上させる目的での熱処理工程の付加や予め紫外光を強力に照射する、いわゆるレジスト膜のハードニング処理を行うのも有効である。

【0079】次に、このようなマスクのマスクパターンの修正、変更の一例を図20～図22により説明する。なお、各図(b)は各図(a)のA-A線の断面図である。また、ここでは、図12のマスクMR1のマスクパターンの修正、変更方法を一例として説明する。

【0080】まず、マスクMR1からレジスト膜からなる遮光パターン7aを、例えばn-メチル-2-ピロリドン有機溶剤にて剥離した(図20)。この他、加熱したアミン系有機溶剤またはアセトンによりレジスト膜からなる遮光パターンを剥離しても良い。テトラメチルアンモニウムハイドロオキシド(TMAH)水溶液、オゾン硫酸または過酸化水素水と濃硫酸との混合液により除去することも可能である。TMAH水溶液を用いる場合には、その濃度を5%程度にするとメタル(遮光パターン5b等)を侵すことなくレジスト膜からなる遮光パターンを剥離することができたので好ましい。

【0081】また、レジスト膜からなる遮光パターンを除去する別の方法として酸素プラズマアッシング法を用いることも可能である。この酸素プラズマアッシングが最も剥離能力が高かった。この方法は、特に、レジスト膜からなる遮光パターンに対して上記ハードニング処理を施している場合に有効である。ハードニング処理を施しているレジスト膜は硬化しており、上記化学的な除去方法では十分に除去できない場合が生じるからである。

【0082】また、レジスト膜からなる遮光パターンをピーリングによって機械的に剥離しても良い。すなわち、マスクMR1のレジスト膜からなる遮光パターンの形成面に粘着テープを張り付けた後、その粘着テープを剥がすことにより、レジスト膜からなる遮光パターンを剥離する。この場合、真空状態を形成する必要がないので、レジスト膜からなる遮光パターンを、比較的簡単に、しかも短時間のうちに剥離することが可能となる。

【0083】上記のようにレジスト膜からなる遮光パターンの除去工程後、洗浄処理を施すことにより、マスクMR1の表面の異物50を除去する。これにより、前記図18に示したブランクスの状態にする。ここでの洗浄では、例えばオゾン硫酸洗浄およびブラシ洗浄処理の組合せを用いたが、異物除去能力が高く、メタルからなる遮光パターンを侵さない方法であれば、この方法に限定されず種々変更可能である。

【0084】続いて、レジストマスクの製造工程で説明したのと同様に、マスク基板3上に、レジスト膜7を塗布し(図21)、マスクパターン描画及び現像を行うことにより、レジスト膜からなる遮光パターン7aを形成し、マスクMR1を製造する(図22)。ここでは、前記図12に示した遮光パターン7aとは形状・配置の異なる遮光パターン7aを形成した場合を例示した。もちろん、図12の遮光パターン7aと同じパターンを形成しても良い。

【0085】このようなレジストマスクの場合は、マスクの周辺領域にメタルからなる遮光体が形成されているか、または、マスク基板3が露出されていることにより、マスクを、マスク検査装置や露光装置等のような各種装置に装着した際の問題を回避できる。すなわち、マスクを各種装置に装着した際にその装着部がマスク上のレジスト膜からなる遮光体に接触すると、そのレジスト膜の摩耗や剥離によって異物発生やパターン不良が生じる場合があるが、上記レジストマスクの場合は、各種装置の装着部がメタルからなる遮光体がマスク基板に接触されるので、そのような問題を回避できる。また、集積回路パターンを転写するための遮光体を、メタルを用いずにレジスト膜で形成することにより、その遮光体の剥離、再生を、通常のマスクよりも簡単に、短時間のうちに、しかもマスク基板の信頼性を確保した状態で行うことができる。また、その遮光体の再生は、メタルからなる遮光体を形成した後の段階から行えるので、工程

費、材料費および燃料費を低減できる。このため、マスクのコストを大幅に低減することが可能となる。したがって、この種のレジストマスクは、半導体集積回路装置の開発期、試作期あるいは少量多品種の半導体集積回路装置の製造工程等、マスクパターンに変更や修正が生じ易い場合やマスクの共有頻度が低い工程で使用することに適している。

【0086】次に、図23～図25は、上記レジストマスクの他の一例を示している。ここでは、マスク基板上の全ての遮光パターンがレジスト膜で形成されているマスクを例示している。なお、各図(b)は、各図(a)のA-A線の断面図である。

【0087】図23のマスクMR4(M)においては、前記図12に示したマスクMR1の周辺の遮光パターン5bが、遮光パターン7aと同様の構造のレジスト膜からなる遮光パターン7cで形成されている。遮光パターン7cは、遮光パターン7aと同工程時に同じ材料で形成されている。ただし、遮光パターン7cは、マスク検査装置や露光装置のマスク装着部が機械的に接触される部分が除去されており、その部分では、マスク基板3が露出するようになっている。これにより、マスク装着時の異物発生を抑制または防止できる。

【0088】図24のマスクMR5(M)においては、前記図13に示したマスクMR2の遮光パターン5cが、遮光パターン7aと同様の構造のレジスト膜等からなる遮光パターン7dで形成されている。遮光パターン7dは、遮光パターン7aと同工程時に同じ材料で形成されている。

【0089】図25のマスクMR6(M)においては、前記図7に示した通常マスクMN3の遮光膜5dが、遮光パターン7aと同様の構造のレジスト膜等からなる遮光膜7eで形成されている。ただし、遮光膜7eは、マスク検査装置や露光装置のマスク装着部が機械的に接触される部分が除去されており、その部分では、マスク基板3が露出するようになっている。これにより、マスク装着時の異物発生を抑制または防止できる。

【0090】このようなレジストマスクの製造工程および修正・変更工程の一例を図26～図30によって説明する。なお、各図(b)は、各図(a)のA-A線の断面図である。また、ここでは、図23のマスクMR4の製造方法および修正・変更方法を一例として説明する。

【0091】まず、マスク基板3をブランクとして用意し(図26)、その上に、上記遮光体形成用の感光性の有機樹脂膜からなるレジスト膜7を塗布する(図27)。続いて、マスクパターン描画及び現像を行うことにより、前記図23に示したレジスト膜からなる遮光パターン7a、7cを形成し、マスクMR4を製造する。レジスト膜からなる遮光パターン7a、7cに光吸収材、光遮蔽材または減光材を添加しても良いし、そのレジスト膜を吸光性有機膜と有機感光性樹脂膜との積層膜

あるいは有機感光性樹脂膜と反射防止膜との積層膜にしても良い。また、レジスト膜からなる遮光パターン7 a, 7 cの形成後、上記ハードニング処理を行っても良い。

【0092】次いで、マスクMR 4のマスクパターンを修正あるいは変更するには、まず、上記したように遮光パターン7 a, 7 cを、例えば上記有機溶剤、酸素プラズマアッシングまたはピーリングによって除去する(図28)。続いて、マスク基板3に対して上記と同様の洗浄処理を施すことにより、マスク基板3の表面の異物50を除去し、図26に示したブランクスの状態にする(図29)。その後、レジストマスクの製造工程で説明したのと同様に、マスク基板3上に、レジスト膜7を塗布し、マスクパターン描画及び現像を行うことにより、レジスト膜からなる遮光パターン7 a, 7 cを形成し、マスクMR 4を製造する(図30)。ここでは、前記図23に示した遮光パターン7 aとは形状・配置の異なる遮光パターン7 aを形成した場合を例示した。もちろん、図23の遮光パターン7 aと同じパターンを形成しても良い。

【0093】このようなレジストマスクの場合は、メタルを使用しないので、遮光体の修正や変更を、通常のマスクよりも簡単に、短時間のうちに、しかもマスク基板の信頼性を確保した状態で行うことが可能となる。また、工程費、材料費および燃料費を低減できるので、マスクのコストを大幅に低減することが可能となる。したがって、この種のレジストマスクも、半導体集積回路装置の開発期、試作期または少量多品種の半導体集積回路装置の製造工程等、マスクパターンに変更や修正が生じ易い場合やマスクの共有頻度が低い工程で使用することに適している。

【0094】次に、図31～図35は、上記レジストマスクのさらに他の一例を示している。ここでは、マスク基板上の集積回路パターンを転写するパターンが、メタルからなる遮光パターンと、レジスト膜からなる遮光パターンとの両方を有するマスクを例示している。なお、図31～図33、図35(b)は、各図(a)のA-A線の断面図である。

【0095】図31のマスクMR 7(M)においては、前記図5に示した通常のマスクMN 1の集積回路パターン回路領域における一部の領域内の遮光パターン5 aの一群が、レジスト膜等からなる遮光パターン7 aの一群で形成されている。

【0096】図32のマスクMR 8(M)においては、前記図6に示した通常のマスクMN 1の集積回路パターン回路領域における一部の領域内の遮光パターン5 aの一群が、レジスト膜等からなる遮光パターン7 aの一群で形成されている。

【0097】図33のマスクMR 9(M)においては、前記図7に示した通常のマスクMN 1の集積回路パター

ン回路領域における遮光膜5 dの一部に比較的小面積の平面四角形状の光透過領域4 fが開口され、その光透過領域4 fが上記遮光パターン7 aと同様の構造のレジスト膜からなる遮光膜7 fによって覆われている。そして、その遮光膜7 fの一部が除去されて、集積回路パターン転写用の光透過パターン4 cが形成されている。

【0098】図34(a)のマスクMR 10(M)は、一部分のみに前記遮光パターン7 aと同様の構造のレジスト膜等からなる遮光パターン7 gが配置されているマスクを例示している。ここでは、互いに離れて配置されているメタルからなる遮光パターン5 aをつなぐように遮光パターン7 gが配置されている。図34(b)は(a)のマスクMR 10を用いて露光処理をした場合にウエハ上に転写されるパターン8 aを示している。図34(c)は(a)のレジスト膜等からなる遮光パターン7 gを除去したメタルマスクの状態を示している。更に、図34(d)は(c)のメタルマスクのパターンをウエハ上に転写して得られるパターン8 bを模式的に示している。

【0099】図35のマスクMR 11(M)は、上記重ね合わせ露光に用いるマスクの一方を例示している。マスクMR 11においては、前記図9のマスクMN 4 bにおける光透過領域4 eのメタルからなる遮光パターン5 aの一群が、レジスト膜等からなる遮光パターン7 aの一群で形成されている。この場合、図9に示したマスクMN 4 bの場合よりもさらに簡単に、しかも短時間のうちに遮光パターン7 aの修正や変更を行うことが可能となる。また、工程費、材料費および燃料費をさらに低減できるので、マスクのコストを大幅に低減することが可能となる。他方のマスクは、前記図8のマスクMN 4 aと同じなので説明を省略する。このようなマスクMN 4 a, MR 11の重ね合わせ露光とレジストパターンの形成方法は、前記マスクMN 4 a, MN 4 bの場合と同じである。

【0100】このようなレジストマスクの製造工程および修正・変更工程の一例を図36～図43によって説明する。なお、各図(b)は各図(a)のA-A線の断面図である。また、ここでは、主として図31のマスクMR 7の製造方法および修正・変更方法を一例として説明する。

【0101】まず、マスク基板3上に、上記メタルからなる遮光膜5を堆積した後、その上に電子線に感光するレジスト膜を塗布し、所定のパターン情報を有する電子線等を照射して現像し、レジストパターン6 cを形成する(図36)。続いて、そのレジストパターン6 cをエッチングマスクとして遮光膜5をエッチングしメタルからなる遮光パターン5 a, 5 bを形成した後、レジストパターン6 cを除去することによりメタルマスクを製造する(図37)。ここでは、集積回路パターンを転写するための遮光パターン5 aもマスク基板3上に形成する。こ

の工程後のマスクMR 8, MR 9の場合のメタルマスクの状態をそれぞれ図3 8、図3 9に示す。その後、図3 7の遮光パターン5 a, 5 bを形成したマスク基板3の主面上に、上記と同様にレジスト膜7を塗布した後(図4 0)、マスクパターン描画及び現像を行うことにより、前記図3 1に示したレジスト膜からなる遮光パターン7 aを形成し、マスクMR 7を製造する。

【0102】次いで、マスクMR 7のマスクパターンを修正あるいは変更するには、まず、上記したように遮光パターン7 aを、例えば上記有機溶剤、酸素プラズマアッシングまたはピーリングによって除去する(図4 1)。ここでは、集積回路パターンを転写するための遮光パターン5 aは残される。続いて、マスク基板3に対して上記と同様の洗浄処理を施すことにより、マスク基板3の表面の異物5 0を除去し、図3 7に示したメタルマスクの状態にする。その後、レジストマスクの製造工程で説明したのと同様に、マスク基板3上に、レジスト膜7を塗布し(図4 2)、マスクパターン描画及び現像を行うことにより、レジスト膜からなる遮光パターン7 aを形成し、マスクMR 7を製造する(図4 3)。ここでは、前記図3 1に示した遮光パターン7 aとは形状・配置の異なる遮光パターン7 aを形成した場合を例示した。もちろん、図3 1の遮光パターン7 aと同じパターンを形成しても良い。

【0103】このようなレジストマスクの場合も、マスクの周辺領域にメタルからなる遮光体が形成されているか、または、マスク基板3が露出されていることにより、上記と同様に異物発生やパターン不良の問題を回避できる。また、通常のマスクの場合は、マスク上の一部のパターンのみしか修正や変更をしないのに全部のパターンを作り直すが、上記レジストマスクの場合は、その一部のみを修正または変更すれば良い。また、その遮光体の再生は、メタルからなる遮光体を形成した後の段階から行える。このため、その修正や変更を、簡単に、短時間のうちに、しかもマスク基板の信頼性を確保した状態で行うことができる。また、工程費、材料費および燃料費を低減でき、マスクのコストを大幅に低減することができる。したがって、この種のレジストマスクも、半導体集積回路装置の開発期、試作期または少量多品種の半導体集積回路装置の製造工程等、マスクパターンに部分的に変更や修正が生じる場合やマスクの共有頻度が低い工程で使用することに適している。

【0104】(実施の形態2) 本実施の形態2においては、半導体集積回路装置の製造に関する実験の段階に際して本発明の技術思想を適用するものである。

【0105】当該実験に用いるマスクは、継続的に使用するものは比較的少なく、その大部分が短期的なものである。したがって、そのマスクとして上記レジストマスクを用いることは、費用、TAT(Turn Around Time)およびやり直しの容易性から最適である。これにより、

介在する人員を真に担当レベルのみとすることができるので、効率の向上やコスト低減を図ることができる。また、工数の低減および費用の削減から、実験の際にレジストマスクを用いず通常のマスクのみを使用する場合に比べて、飛躍的に多くの実験回数(同種類および他種類の実験回数)を比較的短期間のうちに処理することができる。このため、きめの細かい実験ができ、詳細かつ相対的に多くの実験結果を得ることができるので、半導体集積回路装置のパターン精度(寸法精度や位置合わせ精度)および電気的特性精度を向上させることが可能となる。

【0106】試作や実験において通常マスクと、電子線(E B)直接描画処理(エネルギービームを用いた直接描画処理)と、レジストマスクとの使い分けの例を図4 4に、それぞれのフローを図4 5～図4 7に示す。ただし、電子線直接描画における電子線に代えて、例えば集束イオンビーム(F I B: Focused Ion Beam)やX線(エネルギービーム)を用いても良い。

【0107】ここでは、まず、マスクの使用予定量が、使用予定量のしきい値よりも多いか少ないかについて検討する。このしきい値は、前期実施の形態1で説明したように求めても良いし、実験に携わる者が決めても良い(工程200)。ここで、マスクの使用予定量が、上記しきい値よりも少ない場合は、レジストマスクを適用することが可能か否かについて検討する(工程201 a)。ここで、レジストマスクを適用可能な場合は、レジストマスクを使用し、適用不可の場合は電子線直接描画処理を適用可能か否かを検討する(工程202 a)。ここで、電子線直接描画処理が適用可能な場合は電子線直接描画処理を使用し、適用不可の場合は通常のマスクを使用する。

【0108】一方、工程200において、マスクの使用予定量が上記しきい値よりも多い場合には、通常マスクを適用することが可能か否かについて検討する(工程201 b)。ここで、通常のマスクを適用可能な場合は、通常のマスクを使用し、適用不可の場合は、レジストマスクを適用することが可能か否かについて検討する(工程202 b)。ここで、レジストマスクを適用可能な場合は、レジストマスクを使用し、適用不可の場合は電子線直接描画処理を使用する。

【0109】図4 5は、通常のマスクによる実験フローを示している。まず、テストパターンを作成した後(工程300)、これを用いて通常のマスクを作成する(工程301)。続いて、その通常のマスクを用いてウエハ上に所定のパターンを転写し、実験を行う(工程302)。ここで、種々の条件を見直し、最初の通常のマスクを用いてパターンをウエハ上に転写し、それに対して実験を繰り返す(工程303)。これにより、実際の半導体集積回路装置の製造に用いる通常のマスクを作成する(工程304)。

【0110】また、図46は、電子線直接描画処理による実験フローを示している。まず、テストパターンを作成した後（工程400）、これを用いてウエハのレジスト膜に直接電子線を照射することでパターンを転写し、実験を行う（工程401）。続いて、テストパターンを見直してから（工程402）、再度、他のウエハのレジスト膜に直接電子線を照射することでパターンを転写し、実験を行う（工程401）。その後、さらに他のウエハのレジスト膜に直接電子線を照射することでパターンを転写し、実験を行った後（工程403）、種々の条件を見直し（工程404）、再度、他のウエハのレジスト膜に直接電子線を照射することでパターンを転写し、実験を行う（工程403）。これにより、実際の半導体集積回路装置の製造に用いる通常のマスクまたはレジストマスクを作成する（工程405）。続いて、その通常のマスクまたはレジストマスクを用いてウエハ上に所定のパターンを転写し、実験を行う（工程406）。続いて、種々の条件を見直し（工程407）、実際の半導体集積回路装置の製造に用いる通常のマスクまたはレジストマスクを作成する。

【0111】また、図47は、レジストマスクによる実験フローを示している。まず、テストパターンを作成した後（工程500）、これを用いてレジストマスクを作成する。レジストマスクは備え付けのブランクスを用いて作成する（工程501）。続いて、そのレジストマスクを用いてウエハ上にパターンを転写し、実験を行う（工程502）。そして、テストパターンを見直してから（工程503）、再度、他のウエハ上にパターンを転写し、実験を行う（工程501）。その後、上記レジストマスクを用いて他のウエハ上にパターンを転写し、実験を行った後（工程504）、種々の条件を見直し（工程505）、再度、上記レジストマスクを用いてさらに他のウエハ上にパターンを転写し、実験を行う（工程504）。このようにして、実際の半導体集積回路装置の製造に用いる通常のマスクまたはレジストマスクを作成する（工程506）。使用し終えたレジストマスクについては、レジスト膜からなるパターンを除去した後、ブランクスとして保存し、後の実験用のマスクとして再生する。

【0112】通常のマスクでの実験では、全く使えない場合を除き、その作成TATおよびコストからマスクの作り直しは行わず条件出しにより対応している。電子線直描処理の場合は、パターンの修正や変更が容易であることから最適化したパターンを用いて条件出しを行うことができる。しかし、実際の半導体集積回路装置（製品）の製造時は、一般的に電子線直描ではなく、マスクを用いた露光処理を行うため、条件が異なることから再度条件の見直しが必要となる。一方、レジストマスクを用いた場合は、パターンの修正や変更に関し、電子線直描ほどではないが、通常のマスクの場合に比べて極めて

容易に行うことができるので、最適なパターンとした上で、実際の半導体集積回路装置の製造時と同一条件での実験が可能となる。また、上記ブランクスを実験専用のマスクを形成するためのものとして保存しておくことにより、検査／再生の簡略化や数量管理等の運用を極めて容易にすることが可能となる。したがって、レジストマスクの使用は、少数使用の実験に最適である。

【0113】このように本実施の形態においては、実験用マスクを短期間で作成することができる。また、実験用マスクのコストを低減できる。これらにより、実験の回数を増加させることができる。このため、きめの細かい実験を行うことができるので、半導体集積回路装置の信頼性や性能を向上させることが可能となる。そして、上記した3種類の方法（通常のマスク、電子線直接描画法およびレジストマスク）を使い分けることにより最適なコストパフォーマンスを実現することができる。

【0114】（実施の形態3）本実施の形態においては、市販ベースの工程診断サポートやプロセス測定を伴う場合に本発明の技術思想を適用した場合について説明する。

【0115】発明者らが検討した評価技術は、例えば次の通りである。まず、評価ベンダは、ユーザにテストパターンを提供する。ユーザ側では、テストパターンおよびユーザデータマージにより、マスクを作成し、そのマスクを用いてウエハ上に所定のパターンを転写し、さらにパターンの測定（例えば異物の有無検査や線幅等の測定）を行う。その測定値を評価ベンダに渡し評価を行ってもらう。この際に、ミスがあった場合は、ユーザ側では再び最初からやり直さなければならない。また、ユーザ側の費用にてマスクを作成している。

【0116】そこで、本実施の形態においては、評価に際しては上記レジストマスクを使用するようにする。図48に示すように、ユーザ側では、ユーザパターンを評価ベンダに提供する（工程600）。評価ベンダ側では、テストパターンおよびユーザデータマージによりマスクを作成する。ここでは、レジストマスクを使用する（工程601、602）。評価ベンダは、そのマスクをユーザに渡す（工程603）。ユーザは、そのマスクを用いて露光処理を行いウエハ上にパターンを転写した後（工程604）、そのウエハを評価ベンダに渡す（工程605）。評価ベンダでは、提供されたウエハ上のパターンに対して、例えば異物や線幅等を測定し（工程606）、評価を行い（工程607）、その結果をユーザに提供する（工程608）。ただし、上記異物や線幅等の測定をユーザ側で行い、そこで得られた結果を評価ベンダ側に渡し評価してもらうようにしても良い。

【0117】このような場合、評価ベンダ側でレジストマスクを作成することにより、マスク費用の低減に加え、請負費用の低減、熟練者によるマスクの作成が可能となるので、費用面から高価であったものが、安価な一



次評価が可能となる。また、ユーザ側の作業低減が可能となる。すなわち、ユーザ側はウエハの作成のみとなる一方、評価ベンダ側はデータ作成、測定および評価を行うことになり、各々の得意分野での望ましい分業が可能となる。このため、TATの短縮や質の向上を図ることが可能となる。

【0118】この変形例として、ユーザと評価ベンダとの間にマスク製造業者を介在させることができる。その場合、ユーザ側では、ユーザパターンをマスク製造業者に提供する。マスク製造業者側では、テストパターンおよびユーザデータマージにより上記のようにレジストマスクを作成する。マスク製造業者は、そのマスクをユーザに渡し、ユーザは、そのマスクを用いて露光処理を行いウエハ上にパターンを転写した後、そのウエハを評価ベンダに渡す。評価ベンダでは、提供されたウエハ上のパターンに対して、例えば異物や線幅等を測定し、評価を行い、その結果をユーザに提供する。ここでも、異物や線幅等の測定をユーザ側で行い、そこで得られた結果を評価ベンダ側に渡し評価してもらうようにしても良い。このような場合、各々の得意分野での望ましい分業が可能なるため、全体的にはTATの短縮や質の向上を図ることが可能となる。

【0119】（実施の形態4）半導体集積回路装置の生産過程における試作工程では、例えば電気的特性やパターンの寸法等に関し複数のケースについて評価することが行われている。そして、評価の結果、最適なケースを製品として量産する。この際、通常マスクのみを用いて試作する場合は、マスクを複数枚作成することになるが、そのマスクの製造に時間がかかる上、試作の段階でマスクのコストが増加してしまう等の観点から、あまり多くのケースについて評価できない場合がある。

【0120】そこで、本実施の形態においては、半導体集積回路装置の試作工程等においてはレジストマスクを用い、それ以降の量産工程においては通常のマスクを用いるようにした。これを図49のフローに沿って、図50を用いて説明する。

【0121】まず、マスクの設計データを作成した後（工程700）、これを用いて試作用のマスクを作成する。ここでは、レジストマスクを用いる（工程701）。図50（a）に、この段階のレジスト膜を遮光パターンとして有するマスクMR12を示す。マスクMR12の詳細な構造は、上記した各種のレジストマスクと同じなので説明を省略するが、ここでは、マスクMR12に、例えば4個の集積回路パターン領域が配置されている（マルチチップマスクまたはマルチチップレチクル）。各集積回路パターン領域は、1個の半導体チップ（以下、単にチップという）に対応している。各集積回路パターン領域には、同品種（同一製品）であるが互いにデータD0～D4の異なるマスクパターンが配置されている。例えばマスクMR12上の各集積回路パターン

領域には、それぞれ抵抗値や容量値等のような電気的特性のトリミングの異なるマスクパターンが配置されている。なお、ここでは、マスクMR12に複数の集積回路パターン領域が配置されていることを例示するもので、その集積回路パターン領域の数は、4個に限定されるものではない。

【0122】続いて、図49に示すように、そのマスクMR12を用いて露光処理を行うことで試作品を製造し（工程702）、これに対して評価を行う（工程703）。その評価結果に基づいて修正等を行い、再び、試作、評価を繰り返す（工程704）。

【0123】このように、本実施の形態においては、1回の露光処理で複数のチップのパターンをウエハに転写できる。すなわち、1度に複数の試行ケースについて評価することができる。例えばアナログ回路を有する半導体集積回路装置においては、抵抗や容量等のような電気的特性面の絞り込みが完全にできないまま製造に移行せざるをえない場合がある。そこで、その場合に上記の方法を採用することにより、短時間で複数の試行ケースについて評価することができるので、アナログ回路を有する半導体集積回路装置の電気的特性を向上させることが可能となる。また、例えばクリティカルパスにおけるサイジングを変える場合や論理の最適化レベルを変える場合等、いずれも1個のマスクに複数の試行ケースを形成することで、試作の期間短縮および半導体集積回路装置の性能向上を実現することが可能となる。特に、試作を複数回行う場合には、レジストマスクの使用により、通常のマスクを使用する場合に比べて試作の期間を大幅に短縮でき、かつ、試作のマスク費用を大幅に低減することができる。この効果は、特に、ASIC（Application Specific IC）等のように少量多品種製品で大きい。したがって、本実施の形態の技術思想を少量他品種製品の製造方法に適用することも極めて有効である。

【0124】以上のような評価工程703で合格データまたは最適データを得た段階で、量産用のマスクを作成し（工程705）、このマスクを露光処理時に用いて半導体集積回路装置を製造する（工程706）。この量産時には、耐久性に富み信頼性が高く、大量の露光処理に活用できる上記通常のマスクを用いる。図50（b）に、この段階の通常のマスクMN6を示す。マスクMN6の詳細な構造は、上記した各種の通常のマスクと同じなので説明を省略するが、ここでも、上記と同様に、マスクMN6に、例えば4個の集積回路パターン領域が配置されている（マルチチップマスクまたはマルチチップレチクル）。各集積回路パターン領域は、1個のチップに対応している。ただし、各集積回路パターン領域には、同一品種（同一製品）のマスクパターンであって、評価工程703で合格あるいは最適値とされた同一のデータ（ここではデータD2を例示）のマスクパターンが配置されている。なお、ここでも、マスクMN6に複数

の集積回路パターン領域の数は、4個に限定されるものではない。

【0125】このように本実施の形態においては、試作用のマスクの費用を大幅に低減できることや試作用のマスクの作成時間を大幅に短縮できること等から、量産にとらわれることなく最も効果的な試作が可能となる。このため、そのような試作段階を経て量産される半導体集積回路装置の性能、信頼性および歩留りを向上させることが可能となる。

【0126】（実施の形態5）前記実施の形態4においては、同一品種（同一製品）でマルチチップにする場合について説明したが、本実施の形態においては、別品種（別製品）をマスク上で合わせてマルチチップにする場合について説明する。

【0127】図51は、本発明者らが本発明をするのに検討した技術の説明図である。チップC1～C7には、それぞれ別品種の半導体集積回路装置が形成されている。図51（a）の矢印は半導体集積回路装置の設計期間を示している。図51（b）はマスクM50の平面図、（c）はマスクM51の平面図を示している。図51（a）、（b）のデータDC1～DC7は、それぞれチップC1～C7のマスクパターンデータを示している。

【0128】この技術では、例えばマスクM50にはチップC1～C4が配置され、マスクM51にはチップC5～C7が配置されるというように、1つのマスクに配置されるチップの一群が半導体集積回路装置の設計段階から決められている。この場合、マスクM50の製造期間は、最も遅いチップC2の設計期間に律則されるし、マスクM51の製造期間は、最も遅いチップC5の設計期間に律則される。このため、半導体集積回路装置の製造にロスタイムが生じてしまう場合がある。

【0129】そこで、本実施の形態においては、半導体集積回路装置の設計期間が終わった順にマスクに配置するようにした。図52は、これを説明するもので、

（a）は、各チップC1～C7の設計期間とマスクの割り当て方を示し、図中の矢印は半導体集積回路装置の設計期間を示している。また、図52の（b）および

（c）はそれぞれマスクM1、M2の平面図を示している。チップC1～C7は、それぞれ品種の異なる製品を示している。

【0130】ここでは、例えばチップC1、C3、C4、C6をマスクM1に配置し、チップC2、C3、C7をマスクM2に配置するというように、半導体集積回路装置の設計期間がほぼ同時期に終了したものの同士を1つ（同一）のマスクに配置するようにしている。マスクM1、M2は、前記通常のマスクまたは前記レジストマスクのいずれを用いても良いが、この場合は、レジストマスクの方が、試作開始までパターン構成を柔軟に変更でき、また、マスクの作成時間を大幅に短縮可能なので

好ましい。また、各種のチップC1～C7のサイズを規格化（マスクサイズの1/1、1/2、1/3、2/3、1/4、1/6、1/9、2/9、4/9等）し、マスクへの乗り合いの効率化を図ることが望ましい。

【0131】本実施の形態によれば、図51の技術に比べて時間TだけマスクM1の作成のロスタイムを低減できる。また、1品種当たりの試作費用を低減することができる。これは、半導体集積回路装置ベンダ内で定期試作ロット化する、また、ファウンドリで受けた製品の試作費用を抑える、あるいは試作専用のファウンドリとして試作の専門化を行う等、試作工程専用マスクとロットを採用し、量産にとらわれることなく最も低コストな試作工程を実現することにより、コストメリットを出すことが考えられる。

【0132】（実施の形態6）本実施の形態においては、前記マルチチップマスクを用いた半導体集積回路装置の試作工程について説明する。なお、ここで言うカットは、半導体集積回路装置の設計から試作までの単位のことである。

【0133】通常のマスクにおいてマルチチップとした場合は、カット間でチップを変える際に、本来再試作する必要性のないチップまでも試作し直している。例えばファーストカットでマルチチップマスク中の1チップ領域のみ不合格で、他のチップ領域は合格であった場合、セカンドカットでは、その不合格のチップ領域のみ試作すれば良いが、実際は、一部の層のみの修正を行う場合が多いため、チップ配置を変更できず、マスク製造期間の長期化を招く等の理由から他の合格のチップ領域をも再試作しなければならない。したがって、無駄があり、マスクのコストの低減や試作時にかかるコストの低減を阻害する要因となっている。

【0134】そこで、本実施の形態においては、半導体集積回路装置の試作においてレジストマスクを用いるようにした。図53（a）は各チップC1～C7のカット状況を示している。また、図53（b）はファーストカット時のマスクMR13の平面図を示し、（c）はセカンドカット時のマスクMR14の平面図を示している。マスクMR13、MR14は、前記レジストマスクが用いられている。このレジストマスクの構造は、前記したのと同じなので説明を省略する。図中の符号DC1～DC7は、各チップC1～C7のマスクパターンデータを示している。

【0135】ここでは、ファーストカットにおいて、チップC2、C3、C6が合格であり、それ以外が不合格であった場合を例示している。この場合、セカンドカットでは、ファーストカットで不合格であったチップC1、C4、C5、C7を形成するためのチップ領域のみをマスクMR14に配置し、これを露光処理時に用いて試作を行う。このように、本実施の形態によれば、全層マスクの作成が必要となるが、コスト、TATは十分低

減でき、真に必要なチップのみを試作することが可能となる。このため、複数種の半導体集積回路装置の試作期間を短縮できるので、複数種の半導体集積回路装置の製造期間を短縮することが可能となる。

【0136】（実施の形態7）半導体集積回路装置の中には、例えば10年以上も前のものが現在も継続して量産されているものがある。この種の半導体集積回路装置は、受注に波があるため、先が読めずこれを生産する際に用いるマスクも廃棄できない。このため、マスクが不良資産として残る他、先読みをして定期的にマスクを作成する場合もある。

【0137】そこで、本実施の形態においては、この種の半導体集積回路装置の製造に際して、図54に示すように、最初の量産期間は前記通常のマスクを用い、量産期が終了した時点で、その通常のマスクを破棄する。そして、それ以降で当該半導体集積回路装置が必要となった際には前記レジストマスクを用いて半導体集積回路装置を再製造するようにした。すなわち、この種の半導体集積回路装置においては、必要となった際にレジストマスクによって必要な分だけのマスクを作成し、これを露光処理時に用いて半導体集積回路装置を再製造するようにした。この場合、再生産後に半導体集積回路装置が量産されるようになってからもレジストマスクを用いても良いが、その生産量が上記しきい値を上回るようであれば通常のマスクを用いても良い。また、レジストマスクを用いる場合は、マスクパターンの修正や変更を短期間で行うことが可能なので、量産数の少ない半導体集積回路装置を集めて前記のようにマルチチップ化することもできる。いずれの場合もマスクを定期的に作成しなくても、必要となったらその時点でマスクを作成すれば良いので、無駄を無くすることができる。また、レジストマスクの作成は、ブランクスの状態から始めれば良いので、必要なマスクを短時間のうちに作成することができる。そして、使い終わったマスクは、いかなる製品にも適用可能な（汎用性の高い）ブランクスの状態に戻して保存しておけば良い。したがって、この種の半導体集積回路装置のコストを大幅に低減することが可能となる。また、この種の半導体集積回路装置を、需要に応じて、いつでも素早く供給することが可能となる。

【0138】（実施の形態8）本実施の形態においては、チップ内における特定部分のバリエーションを増やすために、マルチチップマスクを使用し、一定数毎にマルチチップマスクの上記特定箇所に対応するパターンを変更する場合について説明する。

【0139】図55（a）および（b）はマスクMR20a、MR20bの平面図を示している。マスクMR20a、MR20bとしては、前記レジストマスクを用いている。特に、図31～図35を用いて説明した種類のレジストマスクを使用することが好ましい。

【0140】マスクMR20aには、例えば4個の集積

回路パターン領域が配置されている。各集積回路パターン領域は、チップに対応しており、それぞれ異なるデータDC1～DC4のパターンを有している。パターンP1～P4は、各集積回路パターン領域毎に、上記特定箇所に対応するパターン領域内のパターンが異なることを模式的に示している。このようなマスクMR20aを露光処理時に用いてウエハ上にパターンを転写し、半導体集積回路装置を製造する。一定数の露光処理が終了した後、マスクMR20aのパターンP1～P4を除去し、図55（b）に示すマスクMR20bを作成する。すなわち、マスクMR20a上の上記特定部分に対応する領域のパターンを変更する。このパターンの変更の仕方は、前記実施の形態1で説明したレジスト膜等からなる遮光パターンの修正、変更方法と同じである。

【0141】マスクMR20bには、例えば4個の集積回路パターン領域が配置されている。各集積回路パターン領域は、チップに対応しており、それぞれ異なるデータDC5～DC8のパターンを有している。マスクMR20bのパターンP5～P8は、上記マスクMR20aのパターンP1～P4とは異なることと、マスクMR20bの各集積回路パターン領域毎に上記特定箇所に対応するパターン領域内のパターンが異なることを模式的に示している。このようなマスクMR20bを露光処理時に用いてウエハ上にパターンを転写し、半導体集積回路装置を製造する。一定数の露光処理が終了した後、必要であれば、マスクMR20b上の特定部分に対応する領域のパターンを変更しても良い。

【0142】このようなパターン変更の具体例としては、クリティカルパス等におけるパターン寸法を最適なものに変える場合がある。クリティカルパスにおいては、パターン寸法等に高い精度が要求される。また、そのパターン寸法の最適値がプロセス毎に変動する。このような箇所のパターン転写を通常のマスクのみを用いたのでは、半導体集積回路装置の開発、試作、製造の期間が大幅に遅れてしまうので、多くのデータを得て、より適した寸法等の設定等を行うことが困難である。しかし、レジストマスクを用いることにより、開発、試作、製造の期間を大幅に遅らせることなく、多くのデータを得て、より適した寸法等の設定を行うことができるので、性能および信頼性の高い半導体集積回路装置を高い歩留まりで製造することが可能となる。

【0143】また、他の具体例としては、ROM（Read Only Memory）のデータの暗号化がある。暗号化チップでは、ROMのパターンを暗号化しているが、復号方法は一般的に固定されたままである。現状の暗号化としてROMデータの暗号化： $f(x)$ 、アドレスシャッフル： $g(x)$ 、復号回路のシャッフル： $h(x)$ 等が可能であるが、復号化関数： $k(x)$ とおくと、 $k(x) = h(g(f(x)))$ となる。これは、各段階で、どんなに工夫しても全体を合成関数と見なせば、暗号化の

レベルに差がなく、また、復号回路で処理可能な範囲を超えることはできない。また、1つの解読ができれば、全データの解読が可能となってしまう。

【0144】そこで、本実施の形態においては、上記復号回路を、上記のようにマルチチップマスクや多数マスク（いずれもレジストマスク）を利用し、ROM以外の論理回路上で複数形成する。この場合、復号回路を複数作成できるので、 $k(x) = h_1(g_1(f_1(x))) = h_2(g_2(f_2(x))) = h_3(g_3(f_3(x))) \dots$ となり、さらに、カードリーダ内に復号機能を付加すると、 $k_1(x) = h_1(g_1(f_1(x)))$ 、 $k_2(x) = h_2(g_2(f_2(x)))$ 、 $k_3(x) = h_3(g_3(f_3(x)))$  …と異なった暗号化が実現できるため、解読の困難さを飛躍的に向上させることができ、現実的に解読を不可能とすることが可能となる。

【0145】（実施の形態9）本実施の形態においては、例えばゲートアレイ、スタンダードセルまたはエンベディッドアレイ等のようなASICの製造方法に本発明の技術思想を適用した場合について説明する。

【0146】図56は、本実施の形態の半導体集積回路装置の製造フローの一例を示している。ゲートアレイ等のような半導体集積回路装置（カスタムLSI（Large Scale Integrated circuit））は、共通となるゲートアレイ拡散層（マスタ層）が顧客によらず一定のパターンとなっている一方、その上層の配線層は、顧客の要求によって修正や変更の生じるカスタム層となっている。

【0147】そこで、本実施の形態においては、量産前の開発、試作および量産工程において、上記マスタ層のパターンを、前記通常のマスクを用いて形成する。そして、上記カスタム層のパターンは、最初、顧客仕様のデバックが完了するまで前記レジストマスクを用いて形成し、顧客からの量産開始の承認を得た時点で通常のマスクに切り換えて、カスタムLSIを量産する。図56は、カスタムLSIの製造フローの一例を示している。図56の活性領域の形成工程800、ウェル形成工程801、ゲート電極形成工程802およびソース・ドレイン用の半導体領域の形成工程803では通常のマスクを用いる。そして、図56のコンタクトホール形成工程804、第1層配線の形成工程805、第1のスルーホールの形成工程806、第2層配線の形成工程807、第2のスルーホールの形成工程808および第3層配線の形成工程809では、立ち上げに際してレジストマスクを用い、量産に際して通常のマスクを用いる。ボンディングパッドの形成工程810は、カスタム層に含まれる場合を例示している。この工程は、マスクを用いても良いが、マスクを用いずに形成することもできる。この際、製造メーカ側は、例えばフラッシュメモリ（EEPROM：Electric Erasable Programmable Read Only Memory）によるFPGA（Field Programmable Gate Arra

y）、レジストマスクによるゲートアレイ、通常のマスクによるゲートアレイ等のようにカスタムLSI対応のメニューを用意しておき、顧客側が、そのメニューの中から数量に応じて所定のタイプを選択可能なようにすることが好ましい。

【0148】このような本実施の形態によれば、カスタムLSIの開発期間を大幅に短縮できる。また、顧客の要求に合ったカスタムLSIを提供できる。さらに、カスタムLSIの開発費を大幅に低減できる。したがって、製造メーカは、少量多品種のカスタムLSIを生産することが可能となる。すなわち、製造メーカは、断らざる得ないような生産数量の少ない、いわゆる少量多品種のカスタムLSIの生産をも請け負うことができるので、総合的な売り上げを増加させることが可能となる。また、顧客は、要求仕様に合った信頼性の高いカスタムLSIを低価格で得ることができる。

【0149】次に、上記カスタムLSIの具体的な構造例および製造工程例を説明する。

【0150】図57は、カスタムLSIの論理素子の一部を示す平面図である。この論理素子は、図57中の一点鎖線で囲まれた単位セル10によって構成されている。この単位セル10は、例えば2個のnMISQnと、2個のpMISQpとから構成されている。nMISQnは、半導体基板に形成されたp型ウェル領域PWの表面のn型半導体領域（拡散層）11n上に、pMISQpは、n型ウェル領域NWの表面のp型半導体領域（拡散層）11p上に、それぞれ形成されている。ゲート電極12Aは、nMISQnおよびpMISQpに共有となっている。ゲート電極12Aは、例えば低抵抗多結晶シリコンの単体膜、低抵抗多結晶シリコン膜の上部にシリサイド層を設けたポリサイド構造、低抵抗多結晶シリコン膜上に窒化タングステン等のようなバリア膜を介してタングステン等のような金属膜を堆積してなるポリメタル構造あるいは絶縁膜に掘られた溝内に窒化チタン等のようなバリア膜を堆積し、さらにその上に銅等のような金属膜を埋め込むことで形成されたダマシングゲート電極構造で構成されている。ゲート電極12Aの下方の半導体基板部分はチャネル領域となる。

【0151】配線13Aは、例えば高電位（例えば3.3Vまたは1.8V程度）側の電源配線であり、コンタクトホールCNTを通じて2個のpMISQpのp型半導体領域11pと電気的に接続されている。また、配線13Bは、例えば低電位（例えば0V程度）側の電源配線であり、コンタクトホールCNTを通じて1個のnMISQnのn型半導体領域11nと電気的に接続されている。配線13Cは、2入力NANDゲート回路の入力配線であり、コンタクトホールCNTを通じてゲート電極12Aの幅広部分で接触し電気的に接続されている。配線13Dは、コンタクトホールCNTを通じてn型半導体領域11nおよびp型半導体領域11pの両方に電

氣的に接続されている。配線 14A は、スルーホール TH を通じて配線 13D と電氣的に接続されている。

【0152】ここで、各種配線 13A ~ 13D, 14A を形成する前における単位セル 10 の平面図を図 58 に示す。この単位セル 10 は、上記マスタ層に相当するものである。例えば NAND ゲート回路や NOR ゲート回路等のような論理素子を構成するのに共通する基本的な構成部である。この単位セル 10 の形成工程以後の配線を適宜選択することにより上記論理回路を効率良く形成できる。なお、本発明は、多数の CMIS (Complementary MIS) 回路を接続する構成にも拡張される。

【0153】そこで、このようなマスタ層に相当する単位セル 10 の作製までは、上記通常のマスクを用いた。この際に用いた通常のマスクの集積回路パターン領域を図 59 に示す。図 59 (a) のマスク MN 7 は、ウエハ (半導体基板) に上記単位セル 10 内の素子分離部および活性領域を形成する際に用いるマスクである。このマスク基板 3 の主面上には、例えば平面長方形に形成された 2 個の遮光パターン 5e が、互いに平行に所定の距離を隔てて配置されている。遮光パターン 5e は、上記遮光パターン 5a と同様のメタルからなり、ウエハ上の活性領域を遮光するように形成されている。図 59

(b) のマスク MN 8 は、単位セル 10 内の n 型ウエル領域 NW を形成する際に用いるマスクである。このマスク基板 3 の主面上には、遮光膜 5f が堆積され、その一部に、例えば平面長方形の光透過パターン 4g が開口形成されている。遮光膜 5f は、上記遮光パターン 5a と同様のメタルからなり、ウエハ上の n 型ウエル領域以外の領域を遮光するように形成されている。図 59

(c) のマスク MN 9 は、単位セル 10 内の p 型ウエル領域 PW を形成する際に用いるマスクである。このマスク基板 3 の主面上には、遮光膜 5f が堆積され、その一部に、例えば平面長方形の光透過パターン 4h が開口形成されている。この場合、遮光膜 5f は、ウエハ上の p 型ウエル領域以外の領域を遮光するように形成されている。図 59 (d) のマスク MN 10 は、単位セル 10 内のゲート電極 12A を形成する際に用いるマスクである。このマスク基板 3 の主面上には、例えば両端に幅広部を有する帯状の 2 本の遮光パターン 5g が互いに平行に形成されている。遮光パターン 5g は、上記遮光パターン 5a と同様のメタルからなり、ウエハ上のゲート電極形成領域を遮光するように形成されている。

【0154】次に、図 58 の破線に沿った断面図を用いて nMISQn および pMISQp を形成するまでの工程を図 60 ~ 図 69 によって説明する。

【0155】まず、図 60 に示すように、例えば p 型のシリコン単結晶からなるウエハ 2W を構成する半導体基板 2S の主面 (デバイス面) 上に、例えば酸化シリコン膜からなる絶縁膜 15 を酸化法によって形成した後、その上に、例えば窒化シリコン膜からなる絶縁膜 16 を C

VD 法等によって堆積し、さらに、その上に、レジスト膜 17 を塗布する。続いて、図 61 に示すように、上記通常のマスク MN 7 を用いて半導体基板 2S に対して露光処理を施した後、現像処理等を施すことにより、半導体基板 2S の主面上にレジストパターン 17a を形成する。レジストパターン 17a は、素子分離領域が露出され、活性領域が覆われるように平面的に形成されている。その後、そのレジストパターン 17a をエッチングマスクとして、そこから露出する絶縁膜 16, 15 を順に除去し、さらに半導体基板 2S の主面を除去することにより、図 62 に示すように、半導体基板 2S の主面に溝 18 を形成した後、レジストパターン 17a を除去する。

【0156】次いで、図 63 に示すように、半導体基板 2S の主面上に、例えば酸化シリコンからなる絶縁膜 19 を CVD (Chemical Vapor Deposition) 等によって堆積した後、半導体基板 2S に対して、例えば化学機械研磨法 (CMP; Chemical Mechanical Polish) 等によって平坦化処理を施すことにより、図 64 に示すように、最終的に、例えば溝型の素子分離部 SG を形成する (図 56 の工程 800)。本実施の形態では、素子分離部 SG を溝型分離構造 (トレンチアイソレーション) としたが、これに限定されるものではなく、例えば LOCOS (Local Oxidization of Silicon) 法によるフィールド絶縁膜で形成しても良い。

【0157】続いて、半導体基板 2S の主面上に、レジスト膜を塗布した後、図 65 に示すように、上記通常のマスク MN 8 を用いて半導体基板 2S に対して露光処理を施すことにより、半導体基板 2S の主面上にレジストパターン 17b を形成する。レジストパターン 17b は、n 型ウエル領域 NW が露出され、それ以外の領域が覆われるように平面的に形成されている。その後、そのレジストパターン 17b をイオン注入マスクとして、例えばリンまたはヒ素等を半導体基板 2S にイオン注入することにより、n 型ウエル領域 NW を形成する。その後、レジストパターン 17b を除去する。

【0158】また、同様に、半導体基板 2S の主面上に、レジスト膜を塗布し、図 66 に示すように、上記通常のマスク MN 9 を用いて露光処理を施すことにより、半導体基板 2S の主面上に、p 型ウエル領域 PW が露出され、それ以外の領域が覆われるようなレジストパターン 17c を形成した後、そのレジストパターン 17c をイオン注入マスクとして、例えばホウ素等を半導体基板 2S にイオン注入することにより、p 型ウエル領域 PW を形成する。その後、レジストパターン 17c を除去する (図 56 の工程 801)。

【0159】次いで、図 67 に示すように、半導体基板 2S の主面上に、例えば酸化シリコン膜からなるゲート絶縁膜 20 を熱酸化法等によって、例えば厚さ (二酸化シリコン換算膜厚) 3nm 程度に形成し、さらに、その

上に多結晶シリコン等からなる導体膜12をCVD法等によって堆積する。続いて、その導体膜12上に、レジスト膜を塗布した後、図68に示すように、上記通常のマスクMN10を用いて露光処理を施すことにより、導体膜12上に、ゲート電極形成領域が覆われ、それ以外の領域が露出されるようなレジストパターン17dを形成する。その後、そのレジストパターン17dをエッチングマスクとして導体膜12をエッチングすることで、ゲート電極12Aを形成する(図56の工程802)。その後、ソースやドレイン領域、配線層としても機能するnMISQn用の高不純物濃度のn型半導体領域11nと、pMISQp用の高不純物濃度のp型半導体領域11pを、イオン打ち込みや拡散法により、ゲート電極12Aに対して自己整合的に形成した(図56の工程803)。なお、上記のレジストパターン17a~17dは、例えばポジ型を用いた。

【0160】以後の工程で、配線を適宜選択することによりNANDゲート回路やNORゲート回路等の種々の論理回路を形成できる。本実施の形態では、例えば図70に示すNANDゲート回路NDを形成した。図70

(a)は、そのNANDゲート回路NDのシンボル図、(b)はその回路図、(c)はそのレイアウト平面図を示している。ここには、2つの入力I1、I2および1つの出力Fを有するNANDゲート回路NDが例示されている。

【0161】このNANDゲート回路NDのコンタクトホールおよび配線パターンを転写するマスクにおけるパターンの要部平面図を図71(a)、(b)に例示する。なお、図71には、(a)、(b)におけるマスクの双方の位置関係が分かるようにX-Y軸を表示した。

【0162】図71(a)は、図70(c)のコンタクトホールCNTをウエハ上に転写するためのマスクMR21のパターンを例示している。遮光膜7hは、前記遮光パターン7aと同一構造のレジスト膜で形成されている。遮光膜7hには、部分的に遮光膜7hが除去されて平面四角形状の微細な光透過パターン4iが複数箇所に開口されている。光透過パターン4iがコンタクトホールCNTを形成するパターンとなる。図71(b)は、図70(c)の配線13A~13Dをウエハ上に転写するためのマスクMR22のパターンを例示している。遮光パターン膜7iは、前記実施の形態等で説明した遮光パターン7aと同一構成のレジスト膜で形成されている。遮光パターン7iが配線13A~13Dを形成するパターンとなる。これらマスクMR21、MR22の作成方法は前記したのと同じなので説明を省略する。

【0163】次に、これらマスクMR21、MR22を用いた半導体集積回路装置の製造工程を図72~図76によって説明する。なお、図72~図76は、図70(c)の破線に沿った断面図である。

【0164】まず、図72に示すように、上記のように

半導体基板2Sの主面にnMISQnおよびpMISQpを形成した後、その主面上に、例えばリンがドーパされた酸化シリコン膜からなる層間絶縁膜21aをCVD法等によって堆積する。続いて、その層間絶縁膜21a上に、レジスト膜を塗布した後、これにマスクMR21を用いた露光処理を施すことにより、平面略円形状のコンタクトホール形成領域が露出され、それ以外が覆われるようなレジストパターン17eを形成する。その後、そのレジストパターン17eをエッチングマスクとして、図73に示すように、層間絶縁膜21aにコンタクトホールCNTを形成する(図56の工程804)。

【0165】次いで、レジストパターン17eを除去した後、図74に示すように、半導体基板2Sの主面上に、例えばアルミニウム、アルミニウム合金または銅等のような導体膜13をスパッタリング法等によって堆積する。続いて、導体膜13上にレジスト膜を塗布した後、図75に示すように、これにマスクMR22を用いた露光処理を施すことにより、配線形成領域が覆われ、それ以外の領域が露出されるようなレジストパターン17fを形成する。その後、そのレジストパターン17fをエッチングマスクとして、導体膜13をエッチングすることにより、配線13A~13Dを形成する(図56の工程805)。なお、レジストパターン17e、17fは、例えばポジ型とした。以後、図76に示すように、半導体基板2Sの主面上に層間絶縁膜21bをCVD法等によって堆積し、更に、他のマスクを用いてスルーホールTHおよび上層の配線14Aを形成した(図56の工程806、807)。部品間の結線も類似の工程を必要な分だけ繰り返したパターン形成により行ない、半導体集積回路装置を製造した。

【0166】以上は、2入力NANDゲート回路の形成例であるが、マスクのパターン形状を変えることにより、NORゲート回路を形成することも容易にできる。図77は、上記単位セル10を用いて形成された2入力のNOR回路NRを例示している。図77(a)はNOR回路NRのシンボル図、(b)はその回路図、(c)はそのレイアウト平面図を示している。

【0167】図77(c)に示すように、配線13Aは、コンタクトホールCNTを通じて一方のpMISQpのp型半導体領域11pと電氣的に接続されている。配線13Eは、コンタクトホールCNTを通じて一方のpMISQpのp型半導体領域11pと電氣的に接続されている。また、配線13Eは、コンタクトホールCNTを通じて両方のnMISQnの共有のn型半導体領域11nと電氣的に接続されている。さらに、配線13Bは、コンタクトホールCNTを通じて両方のnMISQnのn型半導体領域11nと電氣的に接続されている。

【0168】このようなNORゲート回路NRのコンタクトホールおよび配線パターンを転写するためのマスクにおけるパターンの要部平面図の一例を図78(a)、

(b) に示す。なお、図 78 (a)、(b) におけるマスクの双方の位置関係が分かるように X-Y 軸を表示した。

【0169】図 78 (a) は、図 77 (c) のコンタクトホール CNT をウエハ上に転写するためのマスク MR 23 の集積回路パターン領域のパターンを例示している。遮光膜 7 h は、前記遮光パターン 7 a と同一構成のレジスト膜で形成されている。光透過パターン 4 i はコンタクトホール CNT を形成するパターンである。図 78 (b) は、図 77 (c) の配線 13 A ~ 13 C、13 E をウエハ上に転写するためのマスク MR 24 のパターンを例示している。遮光膜 7 i は、前記遮光パターン 7 a と同一のレジスト材料で形成されている。遮光パターン 7 i が配線 13 A ~ 13 C、13 E を形成するパターンである。いずれのマスク MR 23、MR 24 を用いる場合もウエハ上ではポジ型のレジスト膜を使用する。これらマスク MR 23、MR 24 の作成方法は前記したのと同じなので説明を省略する。なお、図 78 にも、(a)、(b) におけるマスクの双方の位置関係が分かるように X-Y 軸を表示した。

【0170】このようにマスク MR 21、MR 22 またはマスク MR 23、MR 24 のいずれかを選択することで、NAND ゲート回路または NOR ゲート回路のいずれかを形成することができる。マスク MR 21、22 またはマスク MR 23、MR 24 は、そのまま残しておいて適宜使い分けても良いし、このマスク MR 21、22 上のパターンを一旦除去し、それによって得られるブランクスを用いてマスク MR 23、MR 24 を作成しても良い。上記のようにレジストマスクにおいては、そのようなマスクのパターン変更は容易で、しかも短時間で行うことができるので、そのマスクを用いる半導体集積回路装置の開発、試作および製造時間を大幅に短縮できる。また、このような修正や変更は既存の製造装置を用いて行うことができ、また、材料費、工程費および燃料費を下げるできるので、半導体集積回路装置のコストを大幅に低減することが可能となる。したがって、少量生産の半導体集積回路装置であってもコスト低減を実現することが可能となる。そして、本実施の形態においては、図 58 に示した単位セル 10 は共通パターンとして多数製造するので通常のマスクを用いて製造し、その上層に形成するホールパターンや配線パターンの形状は所望の論理回路に応じて変化させるのでレジストマスクを用いて製造することにより、半導体集積回路装置の一連の製造工程において、各段階に適したマスクを素早く提供することができるので、半導体集積回路装置の生産性を向上させることができる。

【0171】(実施の形態 10) 本実施の形態においては、例えばマスク ROM を有する半導体集積回路装置の製造に本発明の技術思想を適用した場合について説明する。

【0172】マスク ROM は、メモリセルが 1 つの MIS で形成されることから大容量のメモリを実現でき、また、書き込み動作が不要なため全体の回路構成をシンプルにすることができる、という特徴がある。しかし、顧客の要求に応じてメモリの内容が変わるので、TAT が他の ROM (例えば EEPROM (Electric Erasable Programmable Read Only Memory)) に比べて長くなことや顧客の多種多様な ROM コード毎に異なったマスクを作成しなければならないので、少量生産のときには製品コストが高くなる等の問題がある。

【0173】そこで、本実施の形態においては、多種のマスク ROM に共通する基本的な構成部で構成されるベースデータのパターンを上記通常のマスクを用いて転写する。そして、上記メモリデータの書き込みは、最初、顧客仕様のデバックやデータ設定が完了するまで前記レジストマスクを用い、顧客からの量産開始の承認を得た時点で通常のマスクに切り換えて、マスク ROM を有する半導体集積回路装置を量産する。

【0174】図 79 は、マスク ROM を有するマイコン等のような半導体集積回路装置の製造フローの一例を示している。図 79 の活性領域の形成工程 900、ウェル形成工程 901、ゲート電極形成工程 902、ソース・ドレイン用の半導体領域の形成工程 903、コンタクトホール形成工程 905、第 1 層配線の形成工程 906、第 1 のスルーホールの形成工程 907、第 2 層配線の形成工程 908、第 2 のスルーホールの形成工程 909 および第 3 層配線 910 では通常のマスクを用いる。そして、図 59 の ROM の形成工程 904 では、立ち上げに際してレジストマスクを用い、量産に際して通常のマスクを用いる。ボンディングパッドの形成工程 911 は、通常のマスクを用いて形成する場合を例示しているが、マスクを用いずに形成することもできる。この際も、製造メーカ側は、例えばフラッシュメモリ (EEPROM: Electric Erasable Programmable Read Only Memory) による FPGA (Field Programmable Gate Array)、レジストマスクによるマスク ROM、通常のマスクによるマスク ROM 等のようなメニューを用意しておき、顧客側が、そのメニューの中から数量に応じて所定のタイプを選択可能なようにすることが好ましい。

【0175】このような本実施の形態によれば、マスク ROM を有する半導体集積回路装置の開発期間を大幅に短縮できる。また、顧客の要求に合った ROM コードを有する半導体集積回路装置を提供できる。さらに、マスク ROM を有する半導体集積回路装置の開発費を大幅に低減できる。したがって、製造メーカは、少量生産のマスク ROM を有する半導体集積回路装置を低コストで供給することが可能となる。

【0176】図 80 は、マスク ROM のベースデータを示しており、(a) はメモリセル領域のレイアウト平面図、(b) はその回路図、(c) は (a) の A-A 線の

断面図を示している。ここでは、イオン注入プログラム方式のマスクROMが例示されている。本発明は、イオン注入プログラム方式のマスクROMに適用されることに限定されるものではなく種々適用可能であり、例えばコンタクトホールプログラム方式のマスクROMやイオン注入プログラム方式の中でもNAND型のマスクROM等に適用することができる。

【0177】データ線DLは、コンタクトホールCNTを通じてn型半導体領域11nと電氣的に接続されている。ゲート電極12Bは、ワード線WLの一部で形成されている。データ線12Bとワード線WLとの交点近傍の1つのnMOSQnによって1つのメモリセルが形成されている。このイオン注入プログラム方式のROMでは、メモリセルを構成するnMISQnのチャネル領域に不純物を導入するか否かで、nMISQnのしきい値電圧を高いタイプ（ワード線WLがハイレベルでも導通しない程度に高い）と、しきい値電圧の低いタイプ（ワード線WLがハイレベルで導通）とに作り分け、それを情報の“0”，“1”に対応させている。このベースデータのパターンの転写は、前記通常のマスクを使用した。

【0178】このベースデータを共通として、以下3種類のマスクROMを必要な量だけ製造した。これを図81～図83により説明する。なお、図81～図83の各図において、(a)は使用したマスクの集積回路パターン領域における要部平面図、(b)はデータ書き込み用のパターンを示すマスクROMのメモリセル領域のレイアウト平面図、(c)はデータ書き込み工程時の図80(a)のA-A線に相当する部分の断面図を示している。

【0179】まず、図81では、(a)に示すマスクMR25を用いて、データベース上に(b)に示す開口パターン22Aを形成し、(c)に示すように、開口パターン22Aから露出する半導体基板2Sに不純物をイオン注入することにより、データを書き込む場合を例示している。このマスクMR25は、前記レジストマスクであり、その遮光膜7jは、前記遮光パターン7aと同一構成のレジスト膜からなる。遮光膜7jの一部は除去されて1個の平面四角形状の光透過パターン4jが開口されている。この光透過パターン4jは、ウェハ2W上のレジストパターン17gの開口パターン22Aを形成するパターンとなっている。ここでは、レジストパターン17gを不純物注入マスクとして、1つのnMISQnのチャネル領域にデータ書き込み用の不純物を導入する。なお、データ書き込みのための不純物注入工程は、ゲート電極12B（すなわち、ワード線WL）の形成工程前に行う。その不純物としては、nMISQnのしきい値を高くしたい場合は、例えばホウ素を導入すれば良いし、nMISQnのしきい値を低くしたい場合は、例えばリンまたはヒ素を導入すれば良い。

【0180】次に、図82では、(a)に示すマスクMR26を用いて、データベース上に(b)に示す開口パターン22B、22Cを形成し、(c)に示すように、開口パターン22B、22Cから露出する半導体基板2Sに不純物をイオン注入することにより、データを書き込む場合を例示している。このマスクMR26は、前記レジストマスクである。遮光膜7jの一部は除去されて平面四角形状の2個の光透過パターン4k、4mが開口されている。この光透過パターン4k、4mは、ウェハ2W上のレジストパターン17hの2個の開口パターン22B、22Cを形成するパターンとなっている。ここでは、レジストパターン17hを不純物注入マスクとして、2つのnMISQnのチャネル領域にデータ書き込み用の不純物が導入される。

【0181】次に、図83では、(a)に示すマスクMR27を用いて、データベース上に(b)に示す開口パターン22Dを形成し、(c)に示すように、開口パターン22Dから露出する半導体基板2Sに不純物をイオン注入することにより、データを書き込む場合を例示している。このマスクMR27は、前記レジストマスクであり、遮光膜7jの一部は除去されて光透過パターン4nが開口されている。この光透過パターン4nは、ウェハ2W上のレジストパターン17iの開口パターン22Dを形成するパターンとなっている。ここでは、レジストパターン17iを不純物注入マスクとして、3つのnMISQnのチャネル領域にデータ書き込み用の不純物を導入する。なお、レジストパターン17g～17iは、ボジ型を用いた。また、データ書き換え工程以降、実装までの工程は、通常の半導体集積回路装置の製造工程と同様の工程とした。

【0182】このような本実施の形態によれば、ベースデータを製造する為のパターニングに用いるマスクは通常のマスクとし、書き換え層を形成する為のマスクはレジストマスクとすることにより、多品種のマスクROMを有する半導体集積回路装置を効率的に製造することができた。また、多品種のマスクROMのTATを大幅に短縮できた。また、既存の製造装置でデータの書き換えができ、また、材料費、工程費および燃料費を下げることで、少量生産であってもマスクROMを有する半導体集積回路装置のコストを大幅に下げることが可能となった。

【0183】（実施の形態11）本実施の形態においては、半導体集積回路装置のデバック時にレジストマスクを使用する場合について説明する。

【0184】半導体集積回路装置の不良の解析や対策では、例えばFIB（Focused Ion Beam）を使用している。しかし、FIBは、手軽に加工できるものの、作業者が修正位置設定をしながら一箇所毎に修正を行うため、複数のサンプルを用意すべく修正チップの数が複数要求されると時間のかかる面倒な作業となり、修正が困



難となる。また、シミュレーションにおいて不良の解析や対策を施す技術もあるが、その場合は実際の値と若干異なるために、性能の向上を阻害する問題がある。

【0185】そこで、本実施の形態においては、実際のパターン、特に最終配線層の配線パターンをレジストマスクで形成することにより、修正を行ったり、検査（測定、解析）を行ったりするようにした。これにより、FIBや通常のマスクを用いて同様のことをやる場合に比べて短い期間で、複数のサンプルチップを用意することが可能となる。また、実際にパターンを形成したもので検査するので、測定値や解析結果の信頼性を向上させることが可能となる。

【0186】次に、配線修正の具体例を図84に示す。図84(a)はウエハ上における修正前の配線パターンを例示し、(b)はウエハ上における修正後の配線パターンを例示している。破線は、下層の配線23A、23Bを示しており、修正の前後で変わっていない。配線24A、24B1、24B2、24C1、24C2は、最上の配線であり、修正の前後で変わっている。なお、図84にも、(a)、(b)における配線の双方の位置関係が分かるようにX-Y軸を表示した。

【0187】このような配線パターンを形成するのに用いたマスクを図85に示す。図85(a)のマスクMR28は図84(a)の配線パターンを形成するのに用いたマスクである。ここではレジストマスクを例示したが、修正前の配線パターンは通常のマスクを用いて形成される場合もある。図85(b)のマスクMR29は図84(b)の配線パターンを形成するのに用いたマスクである。この場合はレジストマスクを使用する。

【0188】（実施の形態12）本実施の形態においては、ロット毎にトリミングやデバックを行う場合について説明する。すなわち、大量生産の中で多数ロットの半導体集積回路装置の特性の平均的な特性変動情報等を、続くロットの半導体集積回路装置の配線層形成工程にフィードバックし配線を修正することで、半導体集積回路装置の特性調整を行う。この配線修正を、レジストマスクによって行う。

【0189】図86は、その流れ（試作完成、評価、解析およびデータ修正等）を例示している。ここでは、前記マルチチップマスクを用い、4品種を各1ロット試作する代わりに、4チップマスクで4ロット時間を数日ずらして流し、先頭ロットのデバック結果を次のロットにフィードバックする。そして、次のロットでは、フィードバックされた情報に基づいて、マルチチップマスク上の配線形成用のパターンの寸法や形状等を変更し、そのマルチチップマスクを用いて次のロットの半導体集積回路装置の配線層を形成する。これにより、ロット毎の半導体集積回路装置のトリミングを行う。

【0190】このようにすることで、電気的特性の揃った信頼性の高い半導体集積回路装置を短期間のうちに提

供することが可能となる。また、トリミングやデバックのためのマスクのパターン変更に際して、無駄な材料や無駄な工程を省くことができ、また、既存の製造装置をそのまま使用できるので、信頼性の高い半導体集積回路装置を低コストで提供できる。

【0191】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0192】例えば前記実施の形態においては、配線を通常の配線構造とした場合について説明したが、これに限定されるものではなく、例えば絶縁膜に形成された溝内に導体膜を埋め込むことで配線やプラグを形成する、いわゆるダシマン法またはデュアルダシマン法によって配線を形成しても良い。

【0193】また、前記実施の形態においては、半導体集積回路基板として半導体単体からなる半導体基板を用いた場合について説明したが、これに限定されるものではなく、例えば絶縁層上に薄い半導体層を設けてなるSOI（Silicon On Insulator）基板、半導体基板上にエピタキシャル層を設けてなるエピタキシャル基板を用いても良い。

【0194】また、各種マスクを用いた露光処理に際して、露光光として上記変形照明を用いても良い。

【0195】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置の製造方法に適用した場合について説明したが、それに限定されるものではなく、例えば液晶ディスプレイ装置あるいはマイクロマシン等のような他の装置の製造方法にも適用できる。

【0196】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、半導体集積回路装置の製造工程における露光処理に際して、金属膜からなる遮光体を有するマスクと、有機感光性樹脂膜を含む有機材料からなる遮光体を有するマスクとを使い分けることにより、半導体集積回路装置の生産性を向上させることが可能となる。

(2). 本発明によれば、半導体集積回路装置の製造工程における露光処理に際して、金属膜からなる遮光体を有するマスクと、有機感光性樹脂膜を含む有機材料からなる遮光体を有するマスクとを使い分けることにより、半導体集積回路装置の製造時間を短縮することが可能となる。

(3). 本発明によれば、半導体集積回路装置の製造工程における露光処理に際して、金属膜からなる遮光体を有するマスクと、有機感光性樹脂膜を含む有機材料からなる遮光体を有するマスクとを使い分けることにより、半導

体集積回路装置のコストを低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の製造工程で用いるマスクの生産フロー図である。

【図2】図1のマスク生産における生産タイプのメニュー一例の説明図である。

【図3】図1のマスク生産における具体的な生産例の説明図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程で用いた露光装置の一例の説明図である。

【図5】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図6】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図7】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図8】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図9】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図10】(a)～(d)は通常フォトマスクの製造工程中の断面図である。

【図11】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)の要部断面図、(c)は(b)の変形例であって(a)の要部断面図である。

【図12】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図、(c)は(b)の要部拡大断面図、(d)は遮光体の変形例であって(b)の要部拡大断面図である。

【図13】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図14】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図15】(a)は図12のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図16】(a)は図15に続く図12のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図17】(a)は図16に続く図12のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図18】(a)は図17に続く図12のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図19】(a)は図18に続く図12のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図20】(a)は図12のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図21】(a)は図20に続く図12のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図22】(a)は図21に続く図12のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図23】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図24】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図25】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図26】(a)は図23のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図27】(a)は図26に続く図23のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図28】(a)は図23のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図29】(a)は図28に続く図23のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図30】(a)は図29に続く図23のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図31】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図32】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図33】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図34】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の要部平面図、(b)は(a)のフォトマスクによって転写されるパターンを示した半

導体ウエハの要部平面図、(c)は(a)のフォトマスクにおける有機感光性樹脂膜を含む有機材料からなる遮光体を除去した状態を示すフォトマスクの要部平面図、(d)は(c)の状態のフォトマスクで半導体ウエハ上に転写されるパターンを示した半導体ウエハの要部平面図である。

【図35】(a)は半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA-A線の断面図である。

【図36】(a)は図31のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図37】(a)は図36に続く図31のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図38】(a)は図32のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図39】(a)は図33のフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図40】(a)は図39に続くフォトマスクの製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図41】(a)は図31のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図42】(a)は図41に続く図31のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図43】(a)は図42に続く図31のフォトマスクの再製造工程中の平面図、(b)は(a)のA-A線の断面図である。

【図44】本発明の他の実施の形態である半導体集積回路装置の製造(実験)工程において、通常のマスキング、レジストマスキングおよび電子線直接描画処理の使い分けを説明するための説明図である。

【図45】図44の通常のマスキングを用いた半導体集積回路装置の製造(実験)工程の説明図である。

【図46】図44の電子線直接描画処理方法を用いた半導体集積回路装置の製造(実験)工程の説明図である。

【図47】図44のレジストマスキングを用いた半導体集積回路装置の製造(実験)工程の説明図である。

【図48】本発明の他の実施の形態である半導体集積回路装置の製造工程においてレジストマスキングを用いた評価工程の説明図である。

【図49】本発明の他の実施の形態である半導体集積回路装置の製造工程のフロー図である。

【図50】(a)は図49の半導体集積回路装置の製造工程中に用いたレジストマスキングの説明図、(b)は通常のマスキングの説明図である。

【図51】(a)は本発明者らが検討したマスキングの試作ロットの説明図、(b)および(c)は(a)で用いた

マスキングの説明図である。

【図52】(a)は本発明の他の実施の形態である半導体集積回路装置の試作で使用するマスキングの試作ロットの説明図、(b)および(c)は(a)で用いたマスキングの一例の説明図である。

【図53】(a)は本発明の他の実施の形態である半導体集積回路装置の試作工程の説明図、(b)および(c)は(a)で用いたマスキングの一例の説明図である。

【図54】本発明の他の実施の形態である半導体集積回路装置の製造工程の説明図である。

【図55】(a)および(b)は本発明の他の実施の形態である半導体集積回路装置の製造工程で用いるマスキングの説明図である。

【図56】本発明の他の実施の形態である半導体集積回路装置の製造フロー図である。

【図57】図56の半導体集積回路装置の要部平面図である。

【図58】図57の単位セルの平面図である。

【図59】(a)～(d)は図58の製造に用いたマスキングの平面図である。

【図60】図56の半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図61】図60に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図62】図61に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図63】図62に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図64】図63に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図65】図64に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図66】図65に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図67】図66に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図68】図67に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図69】図68に続く半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図70】(a)は図56の半導体集積回路装置を構成するNANDゲート回路のシンボル図、(b)はその回路図、(c)はそのレイアウト平面図である。

【図71】(a)は図70のNANDゲート回路のコンタクトホールを形成するためのフォトマスクの要部平面図、(b)は図70のNANDゲート回路の配線を形成するためのフォトマスクの要部平面図である。

【図72】図56の半導体集積回路装置の製造工程における半導体ウエハの要部断面図である。

【図73】図72に続く半導体集積回路装置の製造工程

中における半導体ウエハの要部断面図である。

【図 74】図 73 に続く半導体集積回路装置の製造工程中における半導体ウエハの要部断面図である。

【図 75】図 74 に続く半導体集積回路装置の製造工程中における半導体ウエハの要部断面図である。

【図 76】図 75 に続く半導体集積回路装置の製造工程中における半導体ウエハの要部断面図である。

【図 77】(a) は図 56 の半導体集積回路装置を構成する NOR ゲート回路のシンボル図、(b) はその回路図、(c) はそのレイアウト平面図である。

【図 78】(a) は図 77 の NOR ゲート回路のコンタクトホールを形成するためのフォトマスクの要部平面図、(b) は図 77 の NOR ゲート回路の配線を形成するためのフォトマスクの要部平面図である。

【図 79】本発明のさらに他の実施の形態である半導体集積回路装置の製造フロー図である。

【図 80】(a) は図 79 の半導体集積回路装置のメモリセル領域のレイアウト平面図、(b) はその回路図、(c) は (a) の A-A 線の断面図である。

【図 81】(a) は図 79 の半導体集積回路装置の製造工程で使用したフォトマスクの集積回路パターン領域における要部平面図、(b) はデータ書き込み用のパターンを示すマスク ROM のメモリセル領域のレイアウト平面図、(c) はデータ書き込み工程時の図 80 (a) の A-A 線に相当する部分の断面図である。

【図 82】(a) は図 79 の半導体集積回路装置の製造工程で使用したフォトマスクの集積回路パターン領域における要部平面図、(b) はデータ書き込み用のパターンを示すマスク ROM のメモリセル領域のレイアウト平面図、(c) はデータ書き込み工程時の図 80 (a) の A-A 線に相当する部分の断面図である。

【図 83】(a) は図 79 の半導体集積回路装置の製造工程で使用したフォトマスクの集積回路パターン領域における要部平面図、(b) はデータ書き込み用のパターンを示すマスク ROM のメモリセル領域のレイアウト平面図、(c) はデータ書き込み工程時の図 80 (a) の A-A 線に相当する部分の断面図である。

【図 84】(a) は本発明の他の実施の形態である半導体集積回路装置の製造工程における修正前の半導体ウエハの要部平面図、(b) は修正後の半導体ウエハの要部平面図である。

【図 85】(a) は図 84 (a) のパターンを形成するのに用いたフォトマスクの要部平面図、(b) は図 84 (b) のパターンを形成するのに用いたフォトマスクの要部平面図である。

【図 86】本発明のさらに他の実施の形態である半導体集積回路装置の製造フロー図である。

【符号の説明】

1 露光装置

1 a 光路

1 b デュフーザ

1 c 照明絞り

1 d 照明光学系 (コンデンサレンズ)

1 e マスクステージ

1 f 投影光学系

1 g ウエハステージ

1 h 駆動系

1 i 駆動系

1 j 主制御系

1 k レーザ測長器

1 m ネットワーク装置

2 W 半導体ウエハ

2 S 半導体基板

3 マスク基板

4 a, 4 b 光透過領域

4 c 光透過パターン

4 d ~ 4 f 光透過領域

4 g ~ 4 k, 4 m, 4 n, 4 p 光透過パターン

5 a ~ 5 c 遮光パターン

5 d 遮光膜

5 e 遮光パターン

5 f 遮光膜

6 レジスト膜

6 a, 6 b レジストパターン

7 a 遮光パターン

7 b 遮光膜

7 c 遮光パターン

7 d 遮光パターン

7 e 遮光膜

7 f 遮光膜

7 g 遮光パターン

7 h 遮光膜

7 i 遮光パターン

7 j 遮光膜

8 a, 8 b パターン

10 単位セル

11 n n 型半導体領域

11 p p 型半導体領域

12 導体膜

12 A ゲート電極

13 導体膜

13 A ~ 13 D 配線

14 A 配線

15, 16 絶縁膜

17 レジスト膜

17 a ~ 17 i レジストパターン

18 溝

19 絶縁膜

20 ゲート絶縁膜

21 a, 21 b 層間絶縁膜

22A~22E 開口パターン

23A, 23B 配線

24 A, 24 B 1, 24 B 2, 24 C 1、24 C 2 配線

M, M1, M2    フォトマスク

MN 1 ~ MN 3, MN 4 a, MN 4 b, MN 5 ~ MN 1  
0 : 通常のフォトマスク

MR 1～MR 14 レジストマスク

MR20a, MR20b, MR21~MR24 レジストマスク

C1~C7 半導体チップ

Qp pチャネル型のMIS・FET

Qn nチャネル型のMIS・FET

PW p型ウェル領域

NW n型ウェル領域

S G 素子分離部

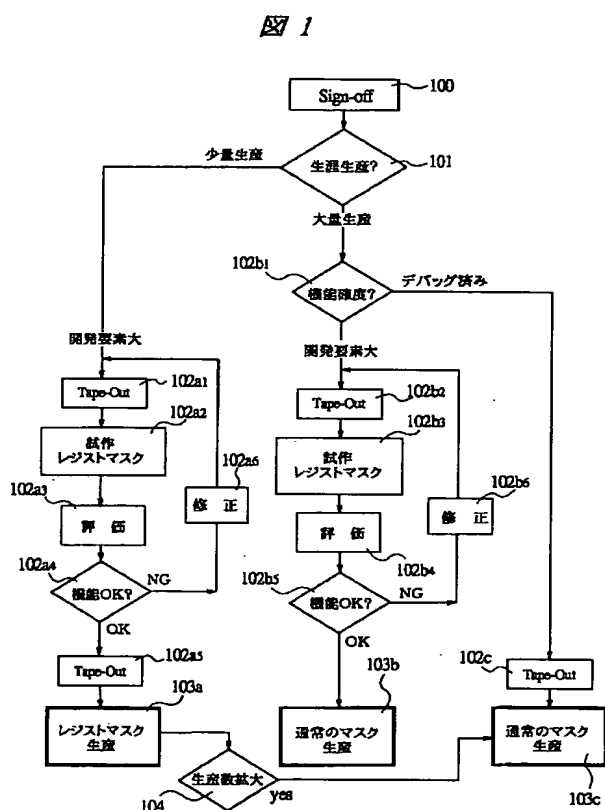
CNT    コンタクトホール

TH スルーホール

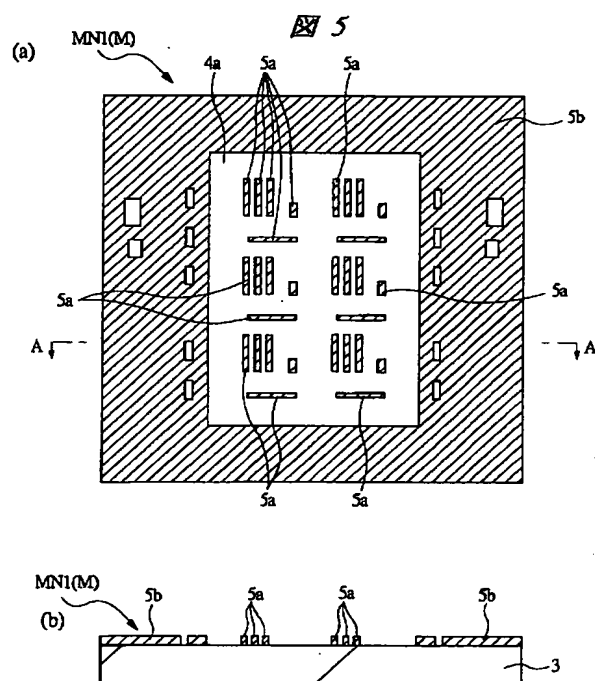
ND NANDゲート回路

NR NORゲート回路

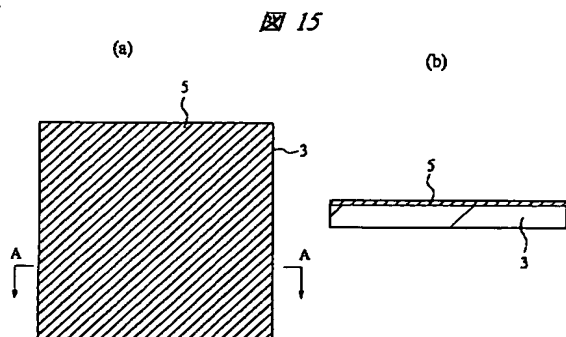
【図 1】



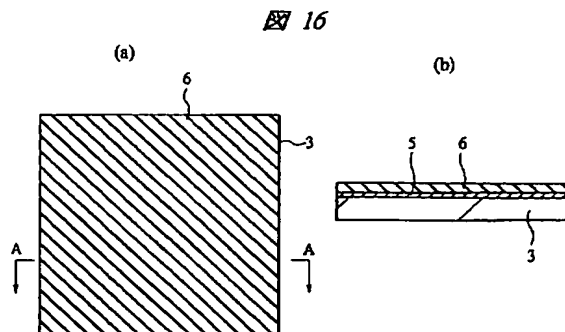
【图 5】



【图 15】



【图 16】



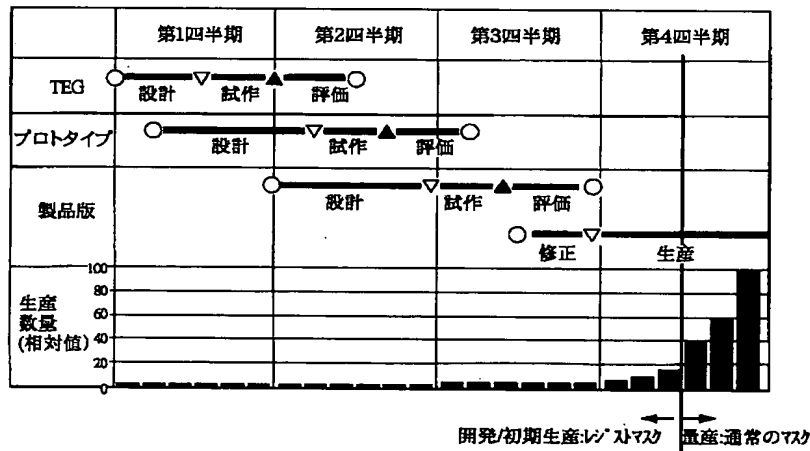
【図2】

図 2

メニュー	レジストマスク 専門型	レジストマスク 初期生産型	レジストマスク 開発型	通常のマスク 専門型
形態	生涯レジストマスク のみ	少量生産を レジストマスク量産 から通常のマスク	開発のみ レジストマスクDebug 後通常のマスク	当初から通常の マスクのみ
生産数量	小	小→大	大	大
開発費 (マスク費用)	小	小→大	大	中～大
開発TAT	短	短	短	長
パターン変更 の可能性	不問	不問	不問	小 変更の場合開発費大

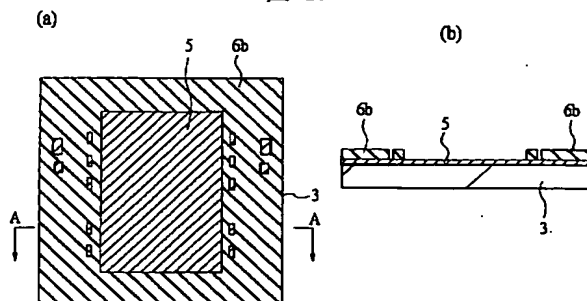
【図3】

図 3



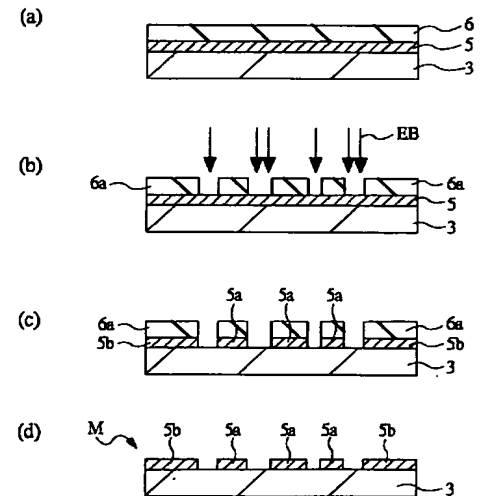
【図17】

図 17



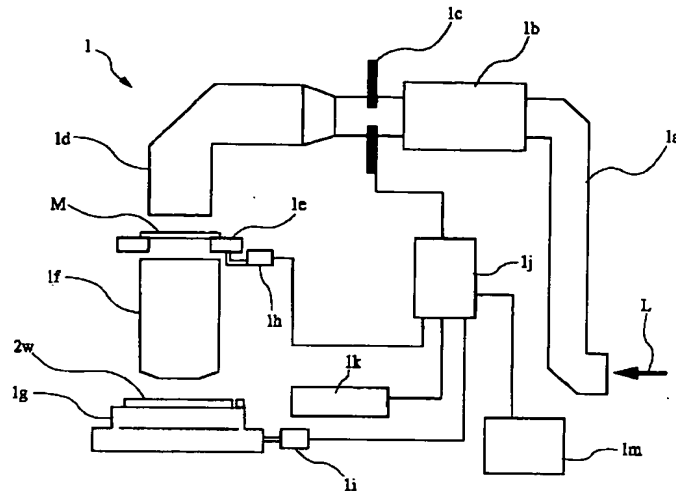
【図10】

図 10



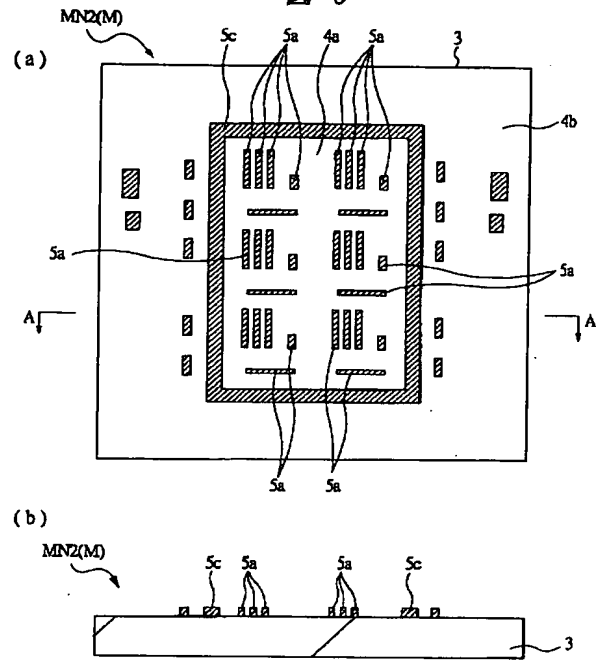
【図 4】

図 4



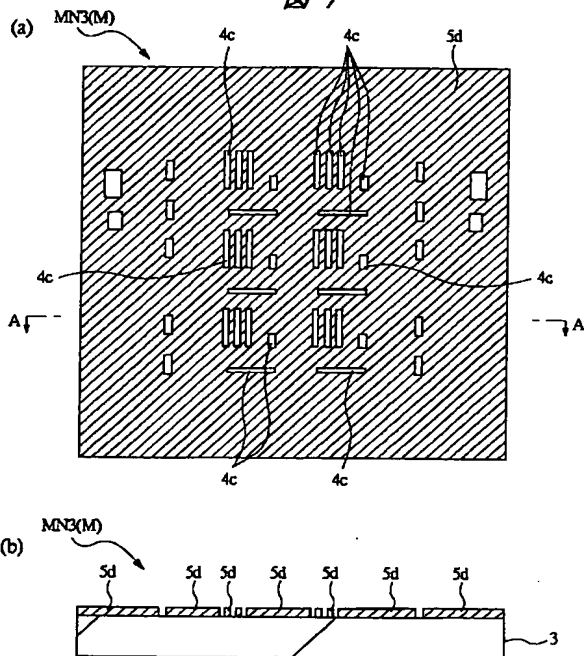
【図 6】

図 6



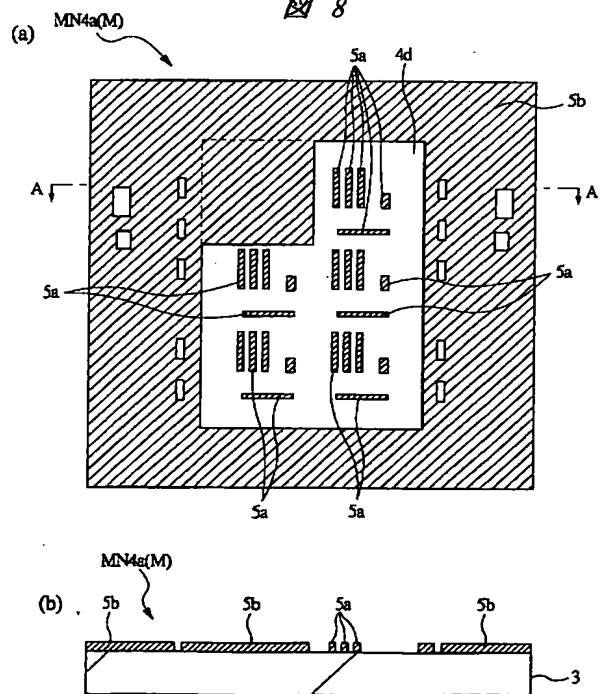
【図 7】

図 7

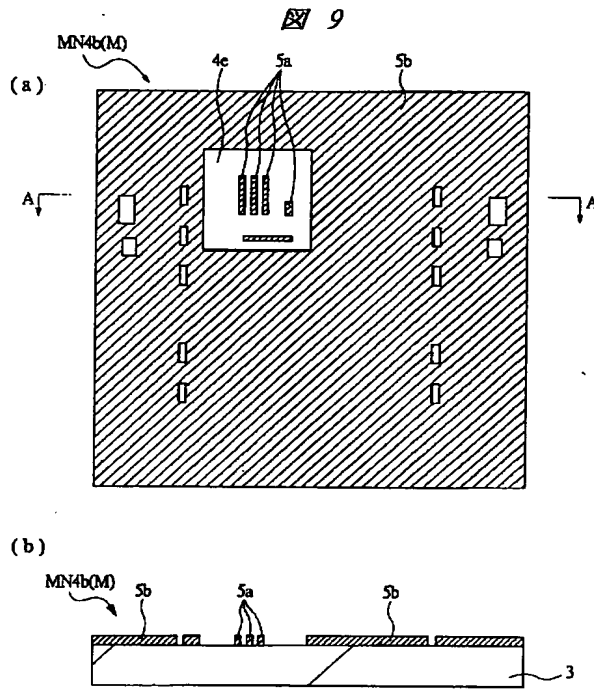


【図 8】

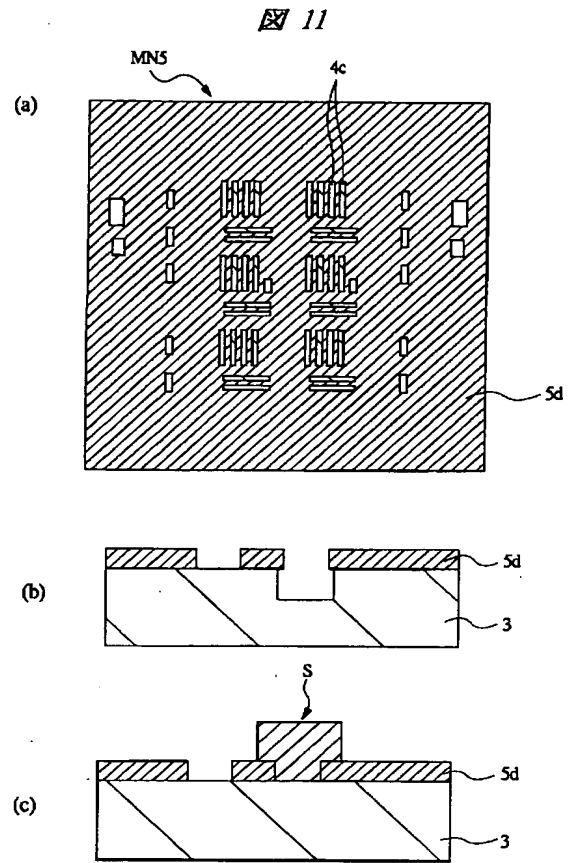
図 8



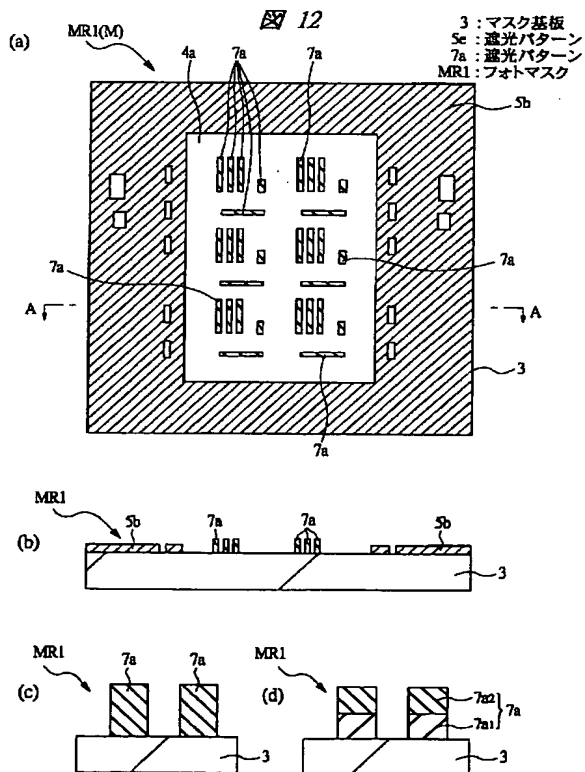
【図 9】



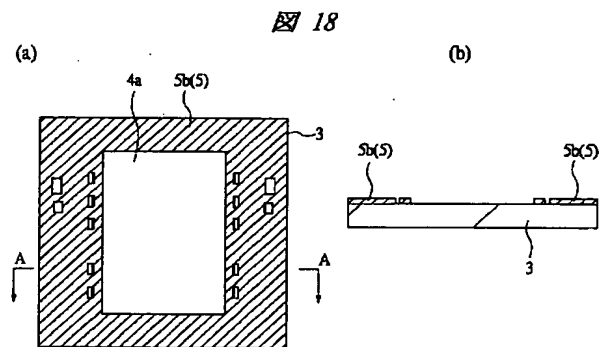
【図 11】



【図 12】

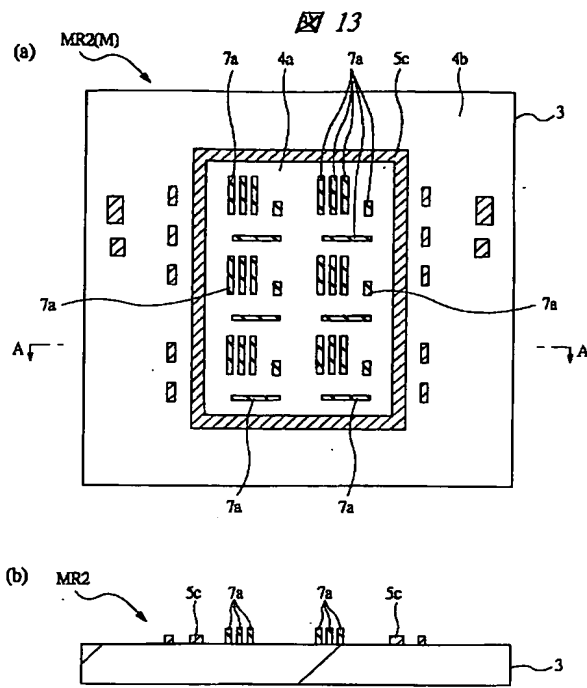


【図 18】

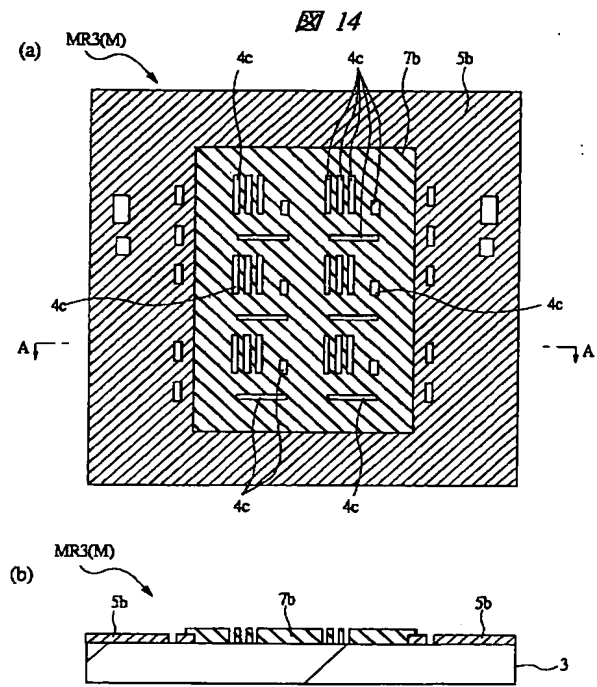




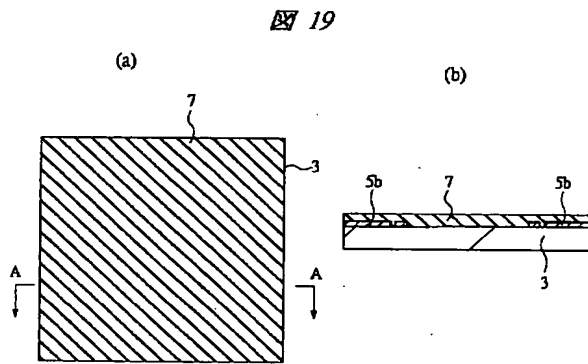
【図 13】



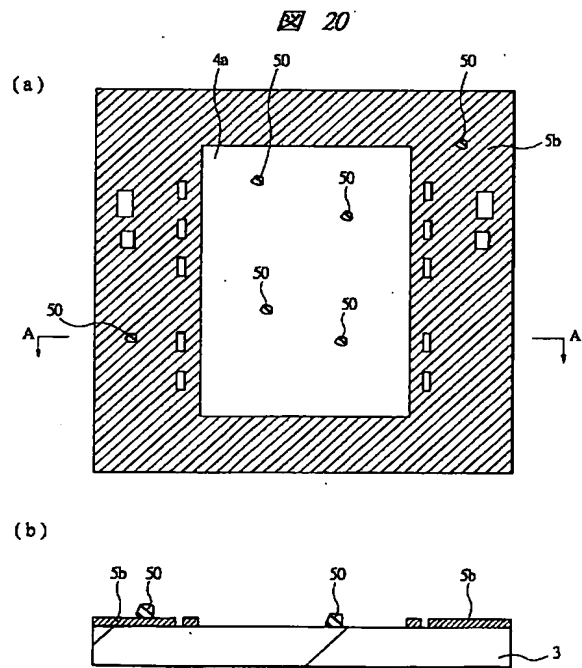
【図 14】



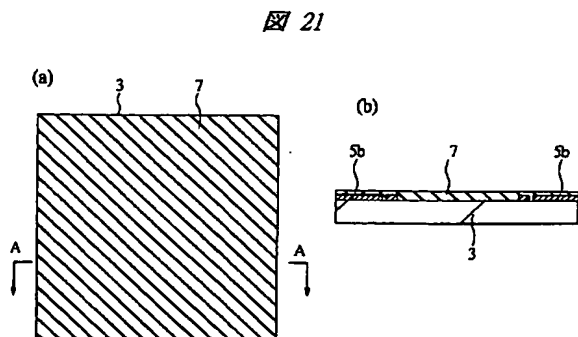
【図 19】



【図 20】

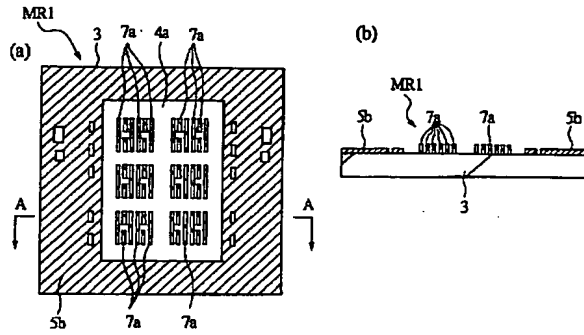


【図 21】



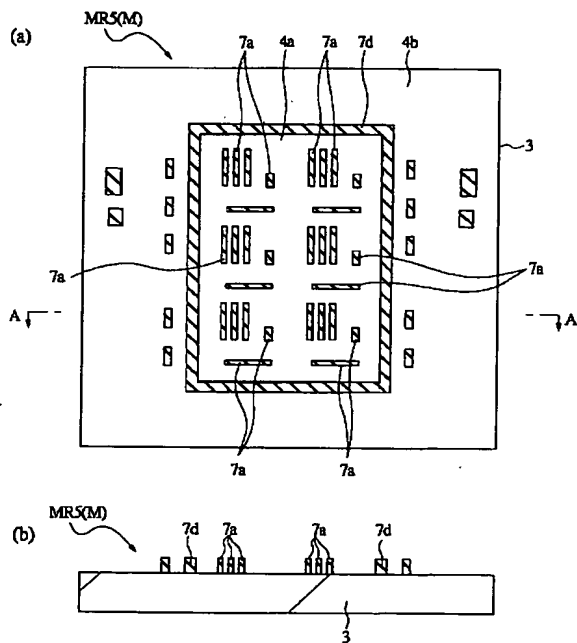
【図 22】

図 22



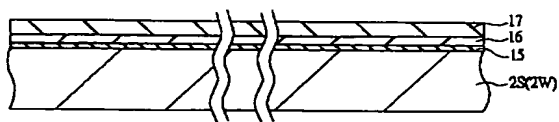
【図 24】

図 24



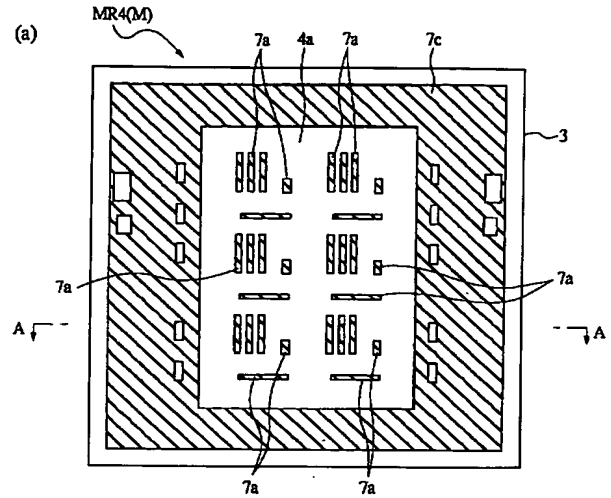
【図 60】

図 60



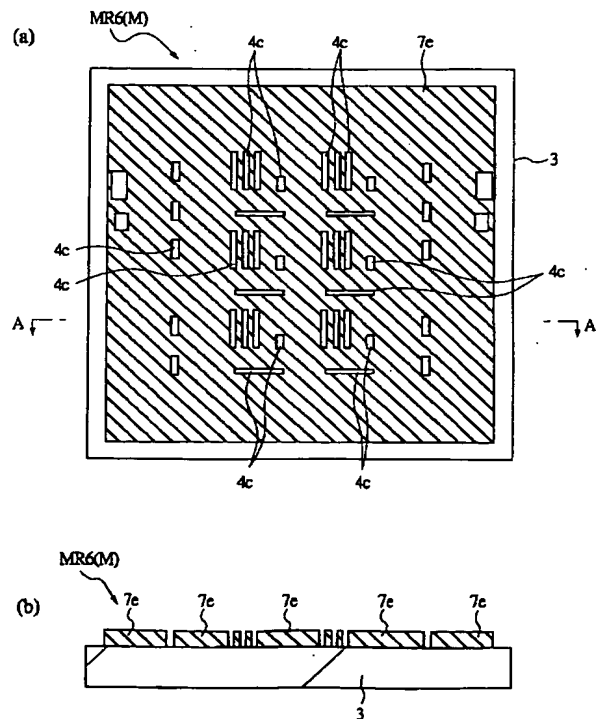
【図 23】

図 23



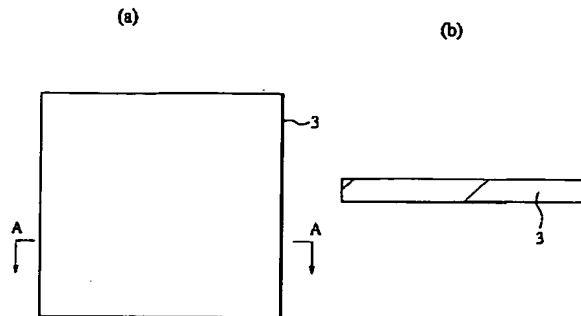
【図 25】

図 25



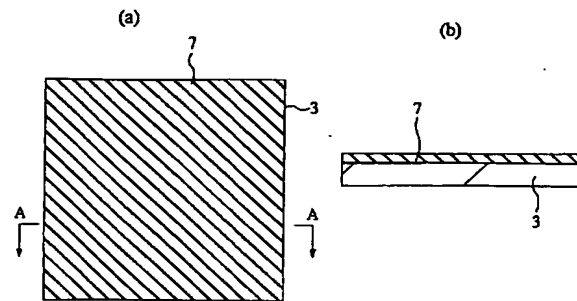
【図 26】

図 26



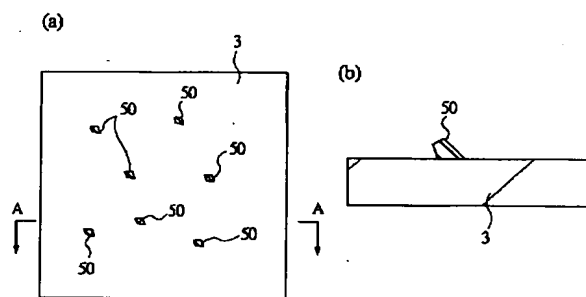
【図 27】

図 27



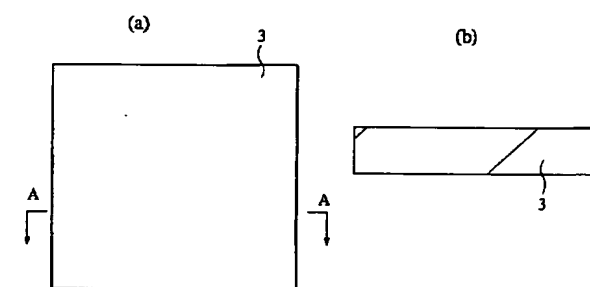
【図 28】

図 28



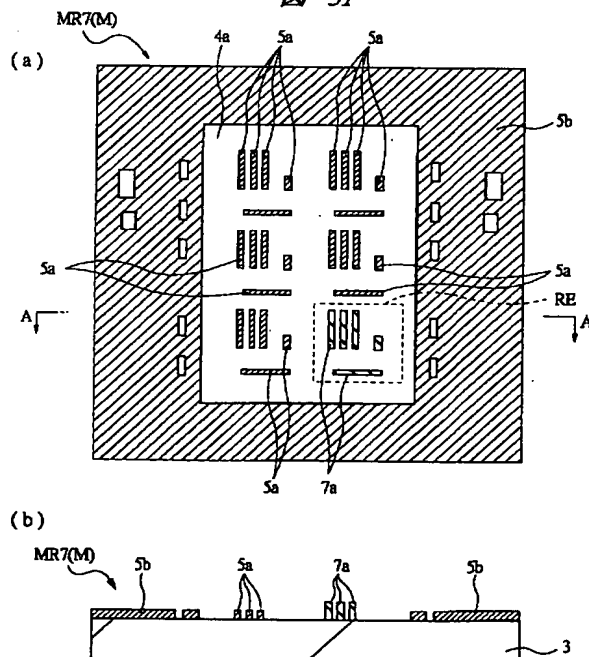
【図 29】

図 29



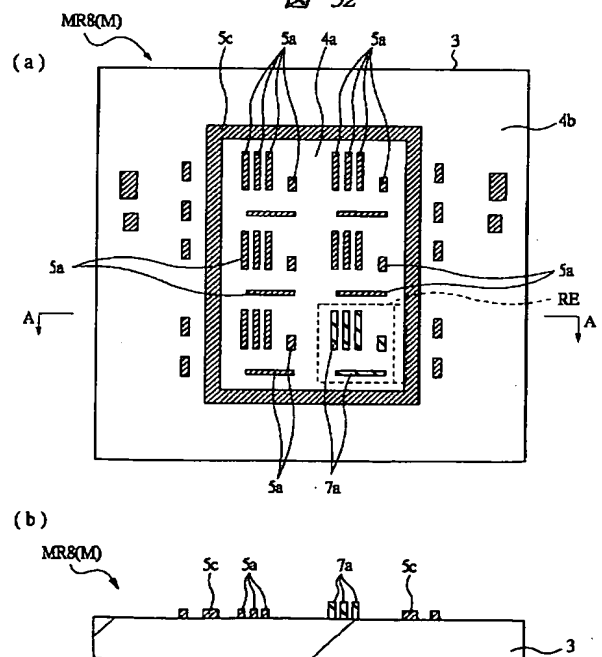
【図 31】

図 31



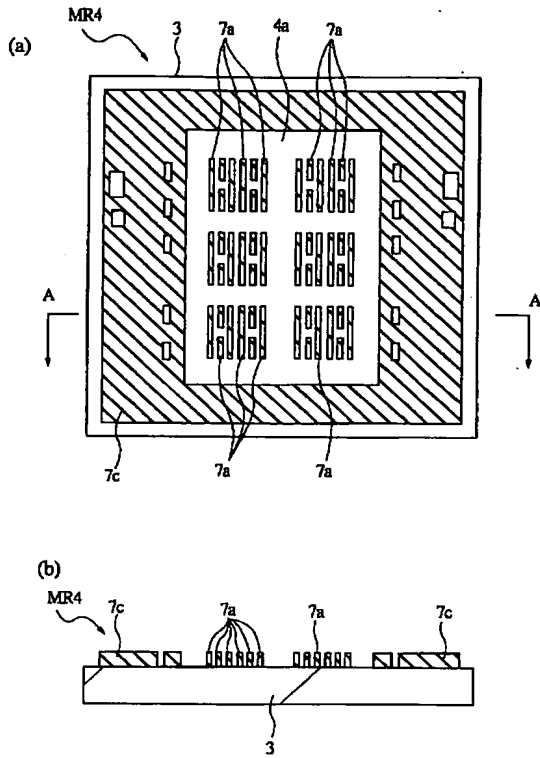
【図 32】

図 32



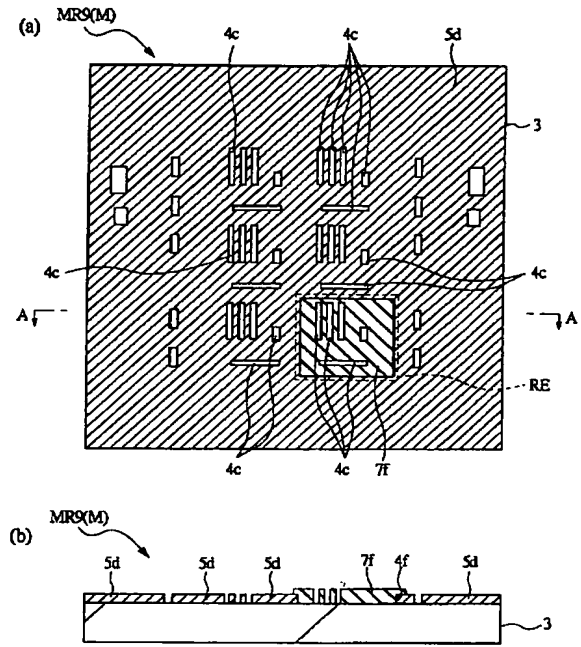
【図 30】

図 30



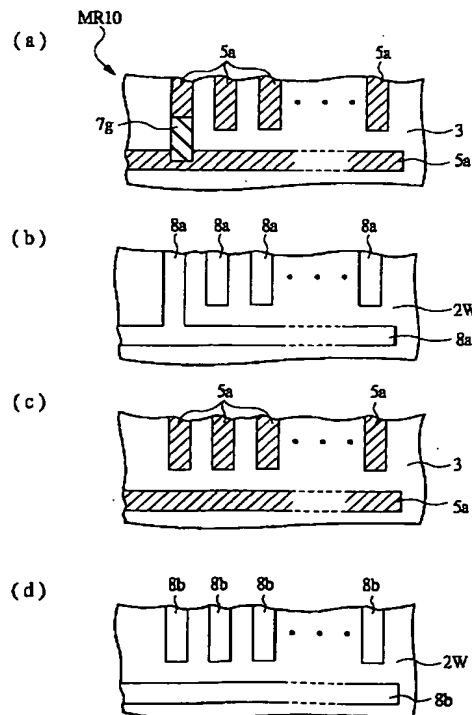
【図 33】

図 33



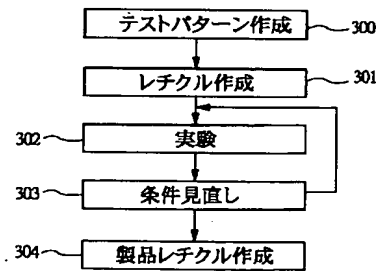
【図 34】

図 34

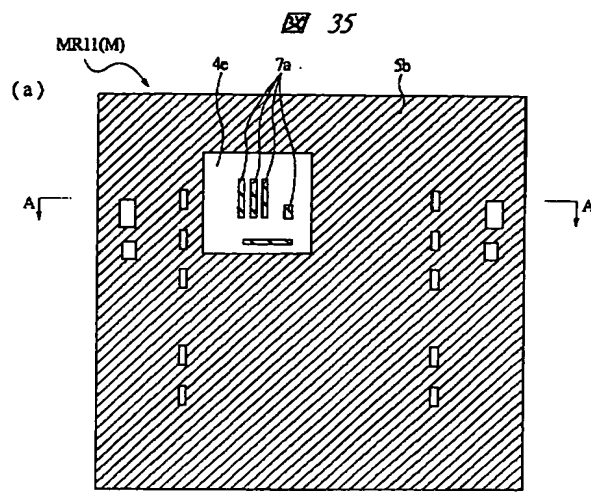


【図 45】

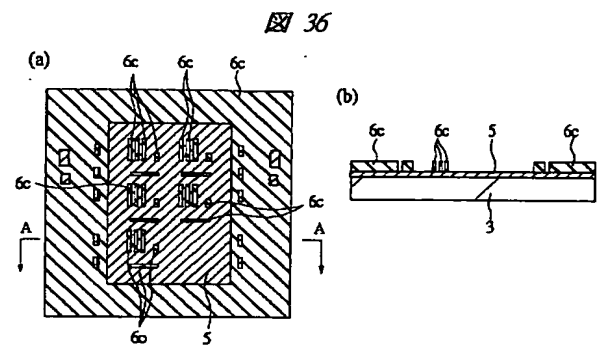
図 45



【図 35】

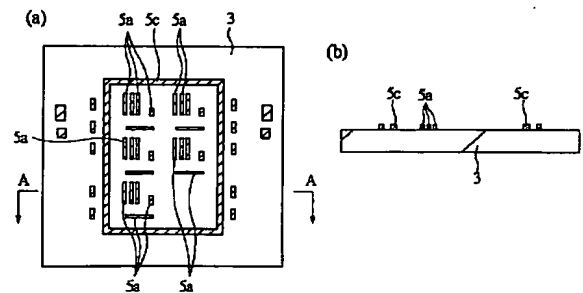


【図 36】



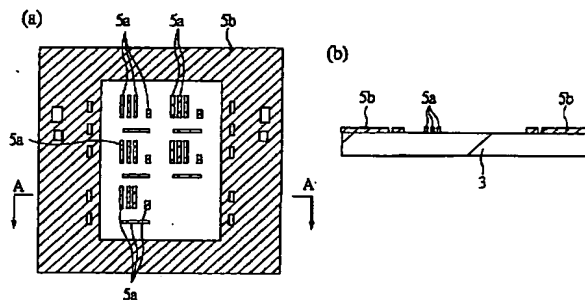
【図 38】

図 38



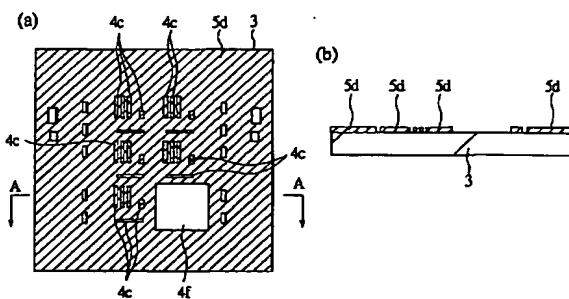
【図 37】

図 37



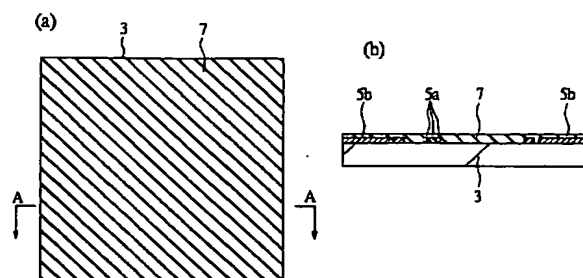
【図 39】

図 39

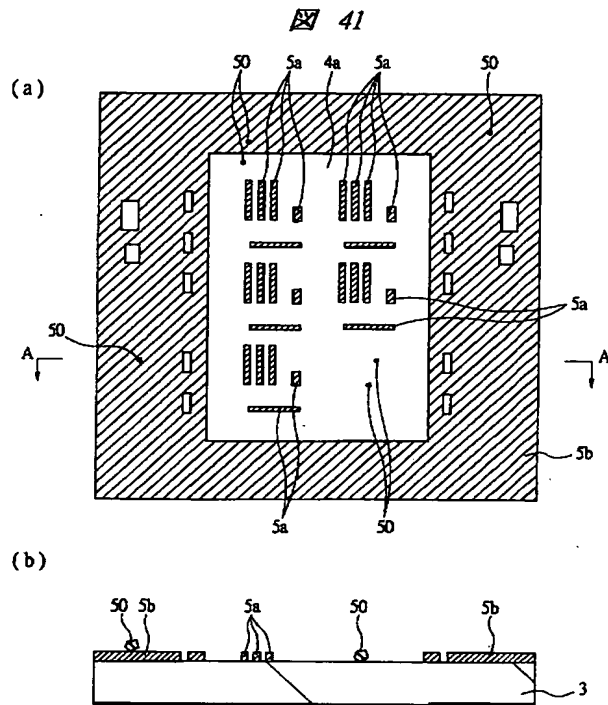


【図 40】

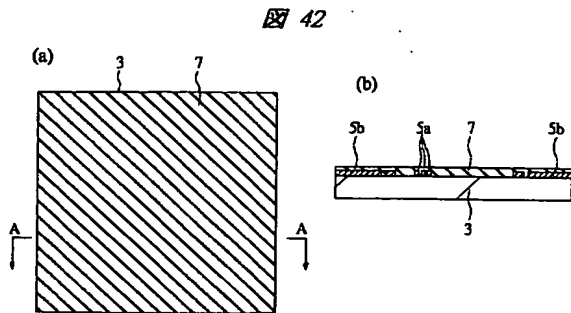
図 40



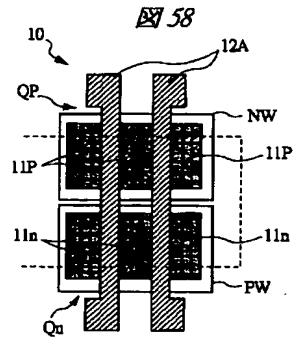
【図41】



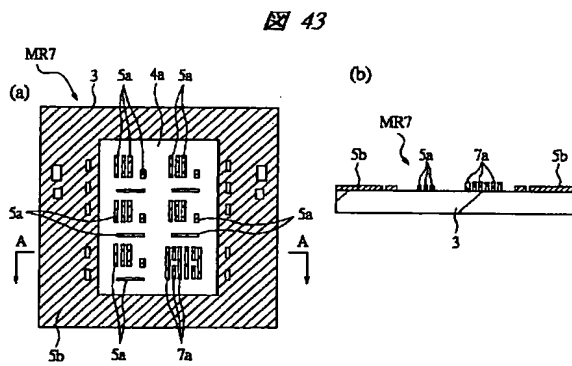
【図42】



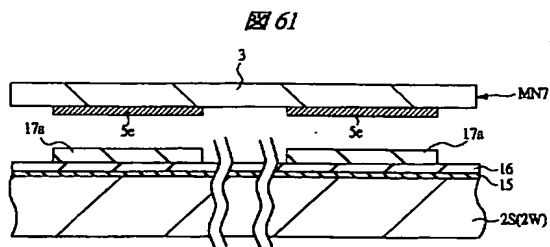
【図58】



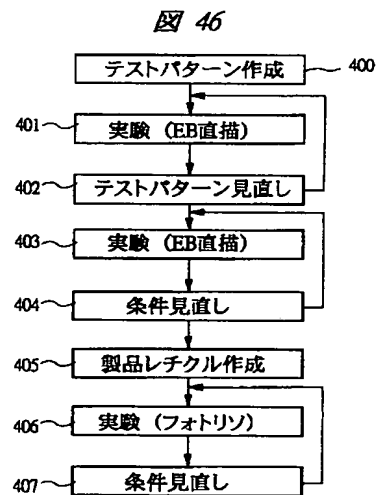
【図43】



【図61】

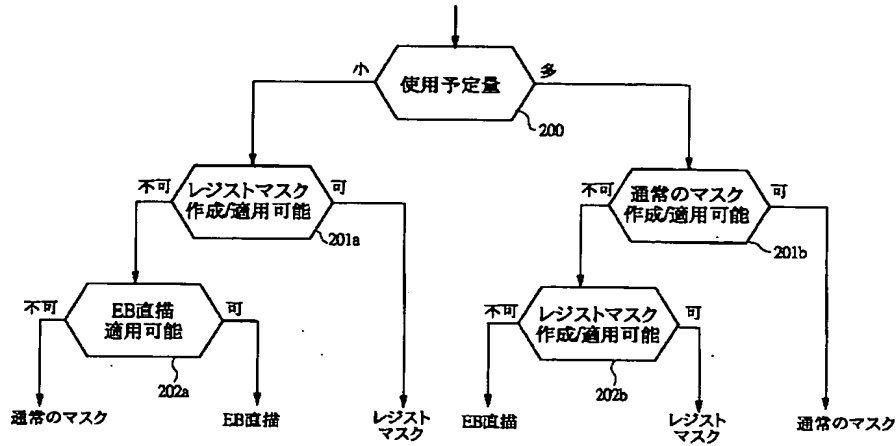


【図46】



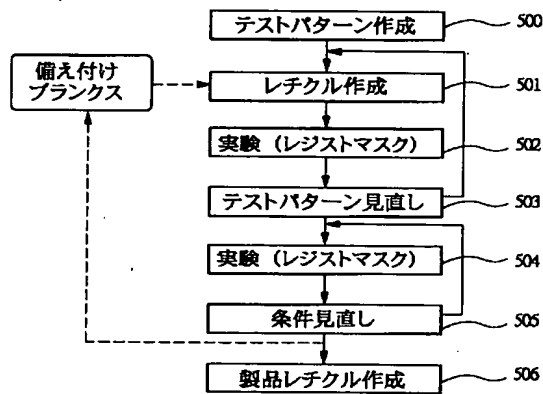
【図 44】

図 44



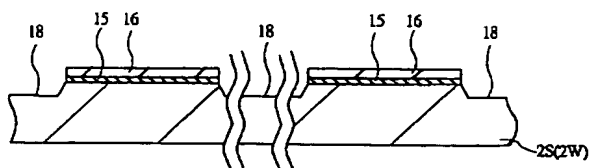
【図 47】

図 47



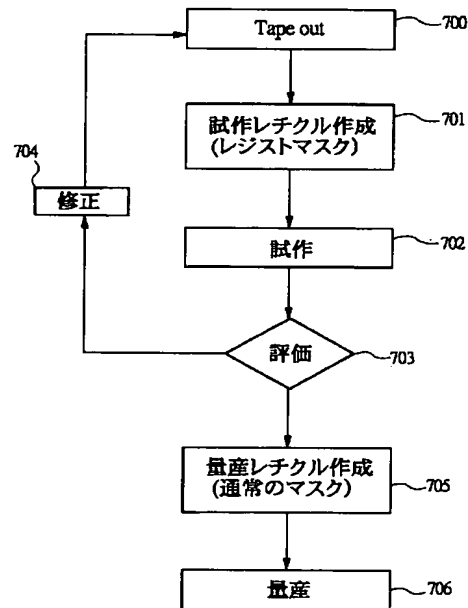
【図 62】

図 62



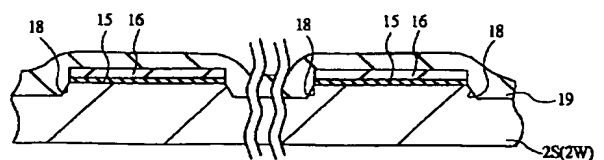
【図 49】

図 49



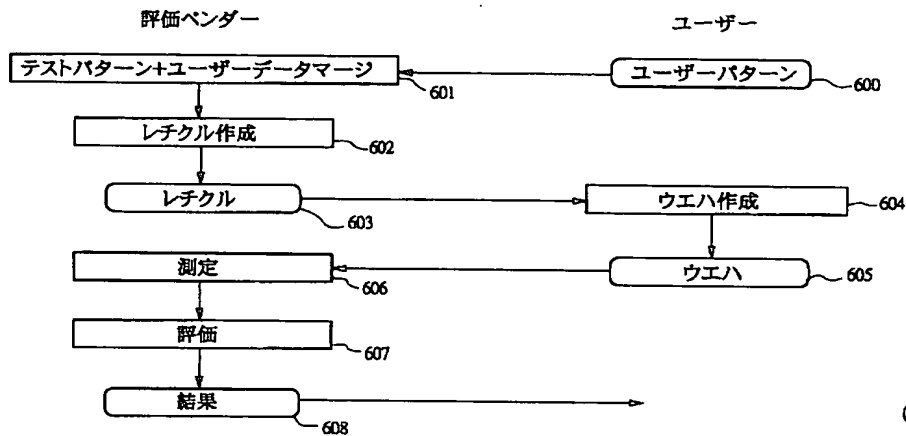
【図 63】

図 63



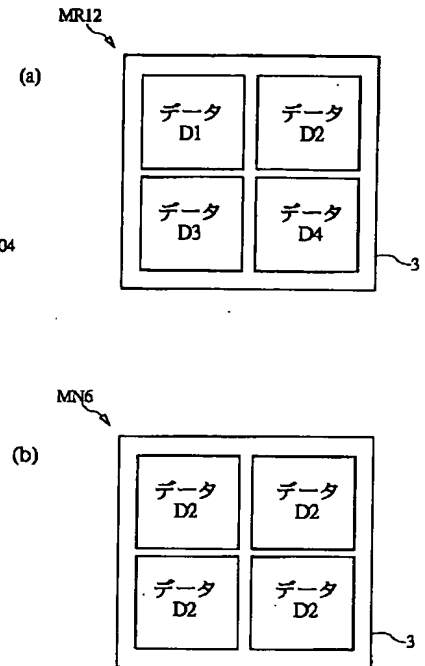
【図48】

図 48



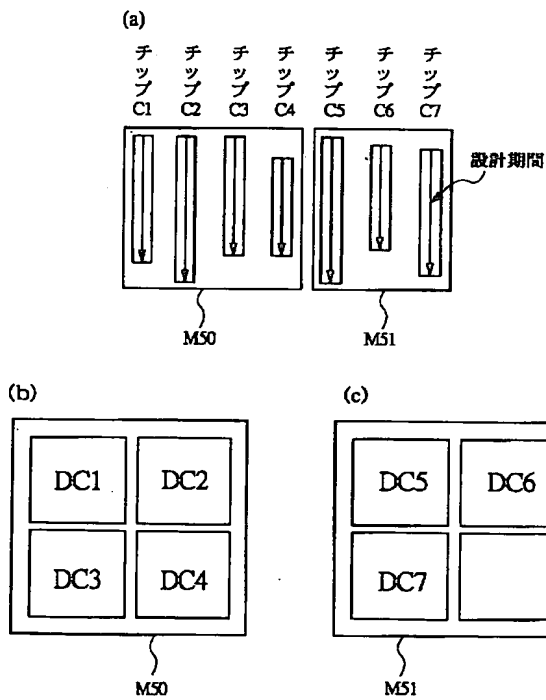
【図50】

図 50



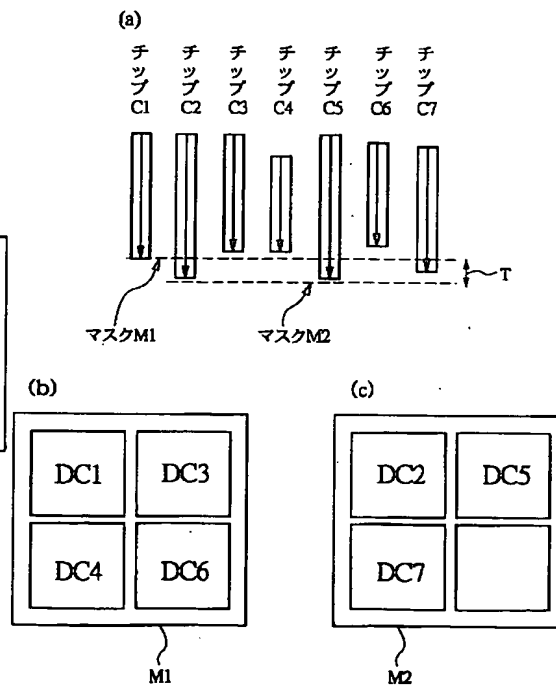
【図51】

図 51



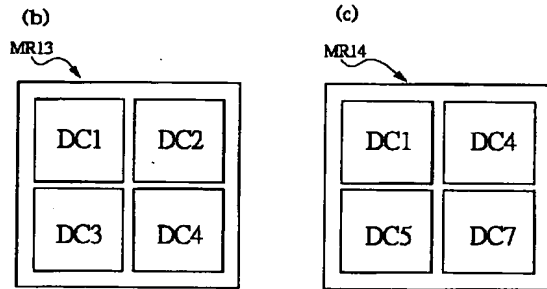
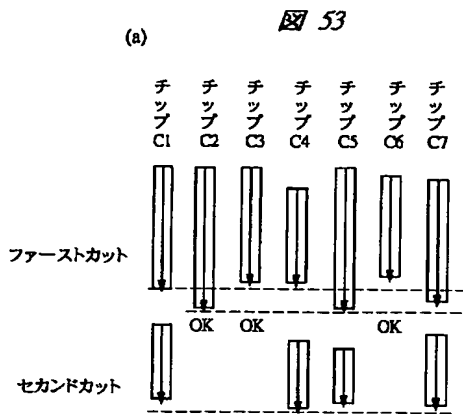
【図52】

図 52



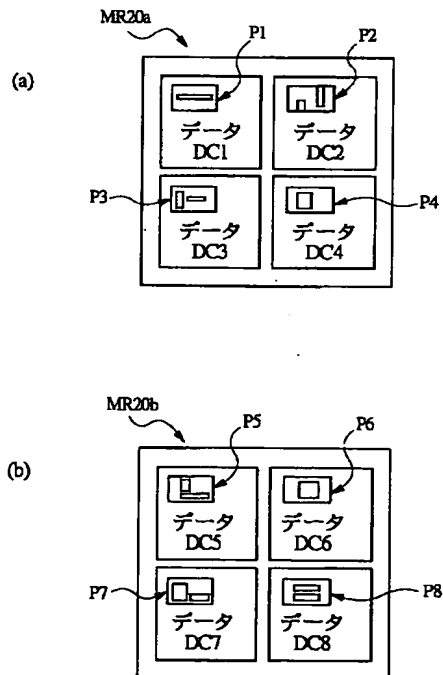


【図53】



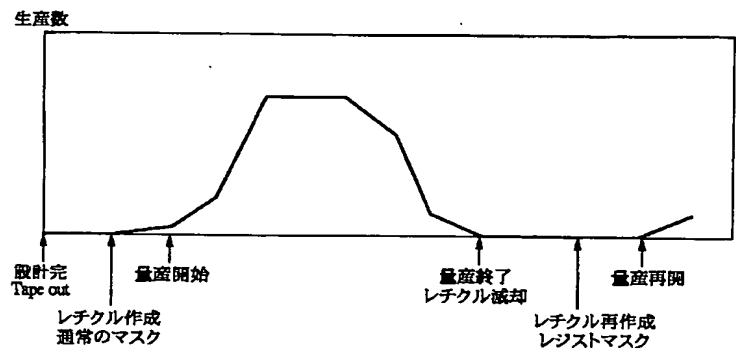
【図55】

図55



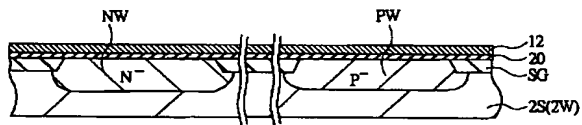
【図54】

図54



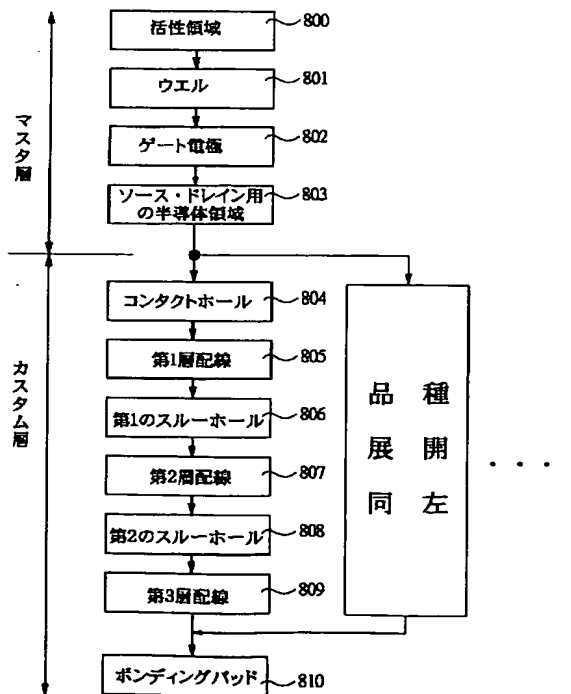
【図67】

図67

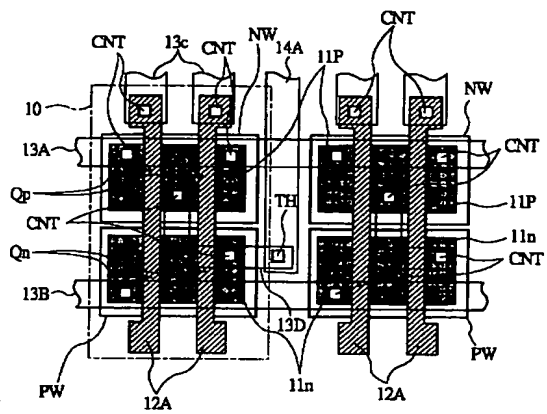


【図56】

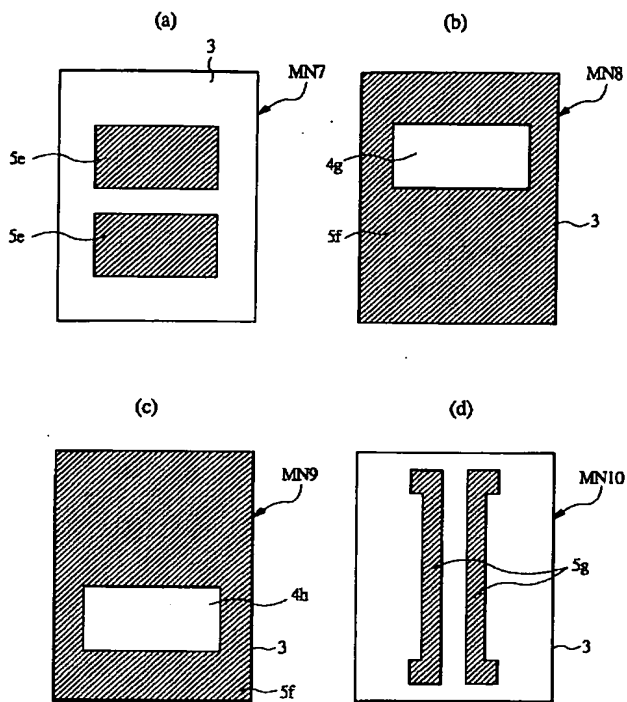
図56



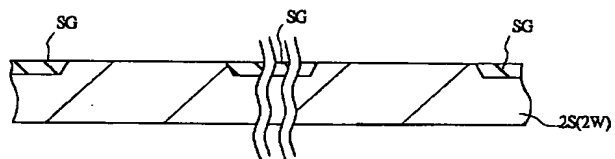
【图 5 7】



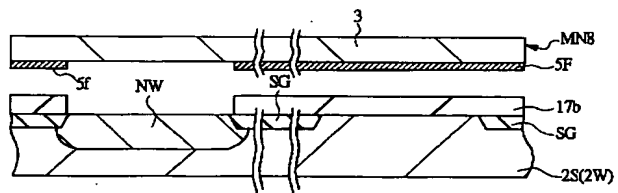
【图 5 9】



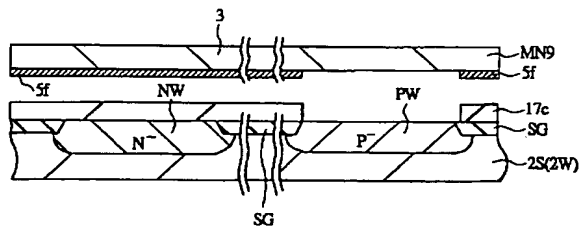
【図 6 4】



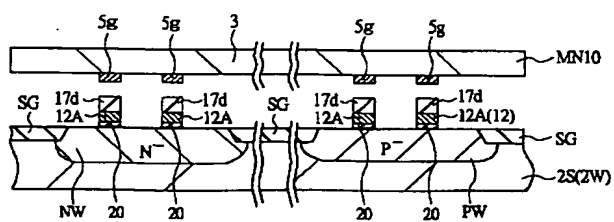
【図 6 5】



【図 6 6】

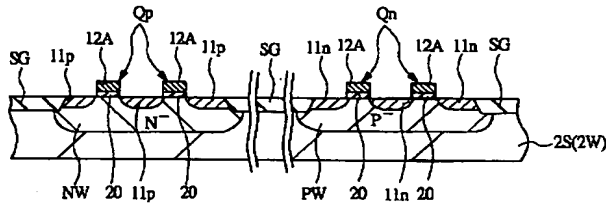


【図 68】



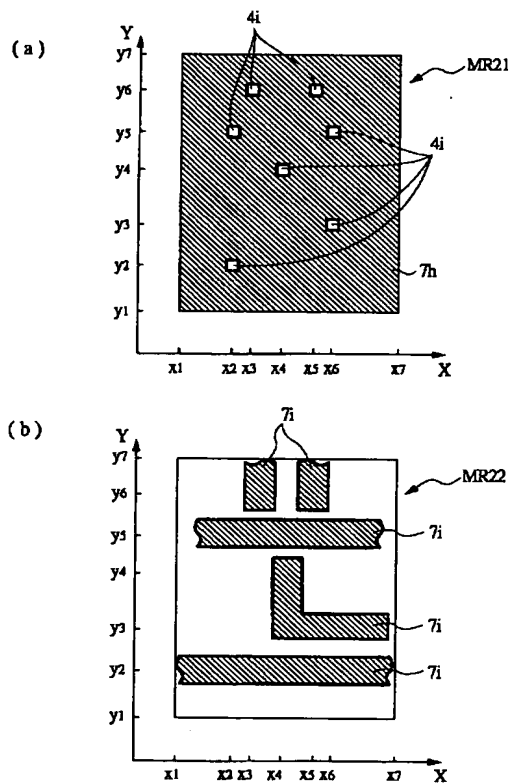
【図69】

図 69



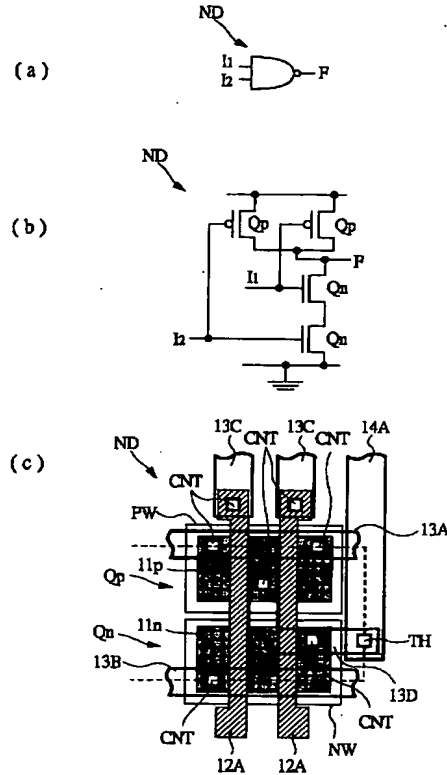
【図71】

図 71



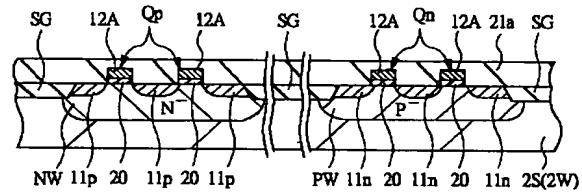
【図70】

図 70



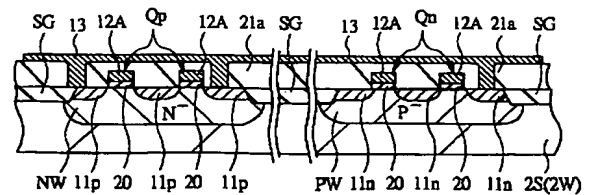
【図72】

図 72



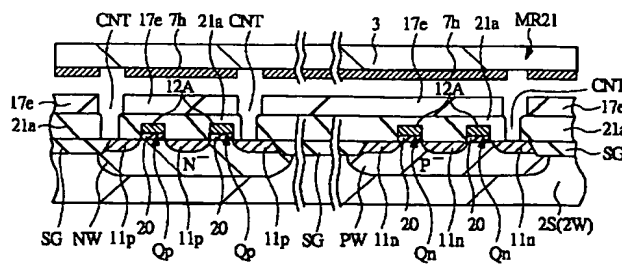
【図74】

図 74

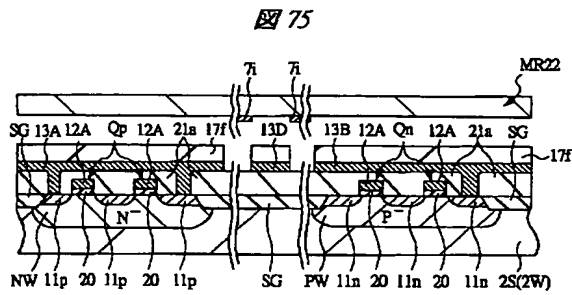


【図73】

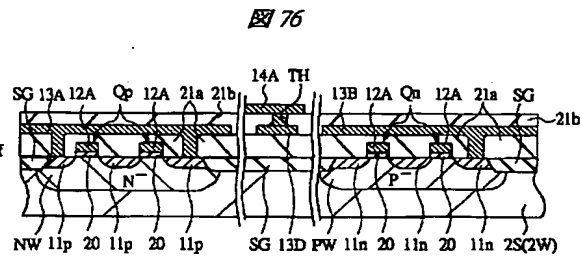
図 73



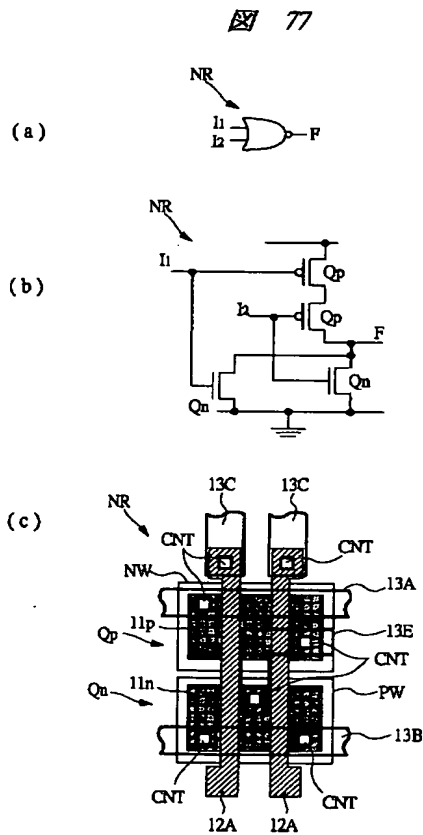
【図75】



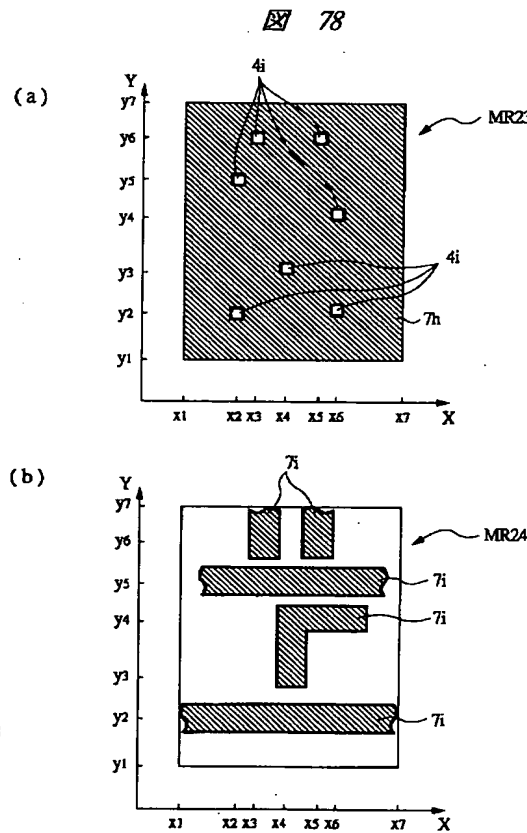
【図76】



【図77】

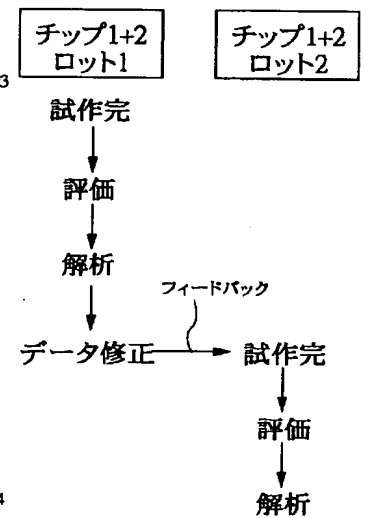


【図78】



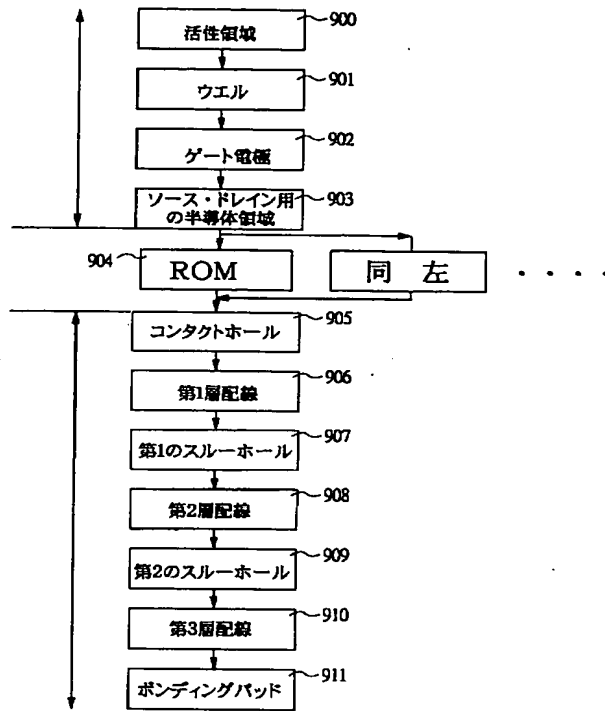
【図86】

図86



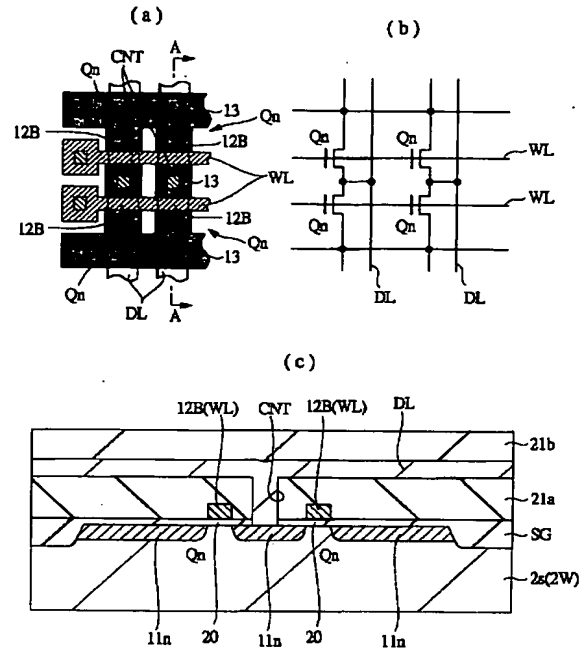
【図79】

図 79



【図80】

図 80

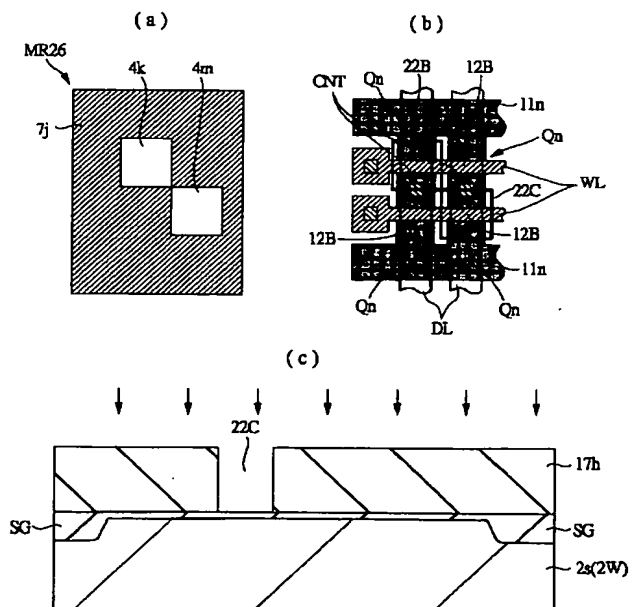
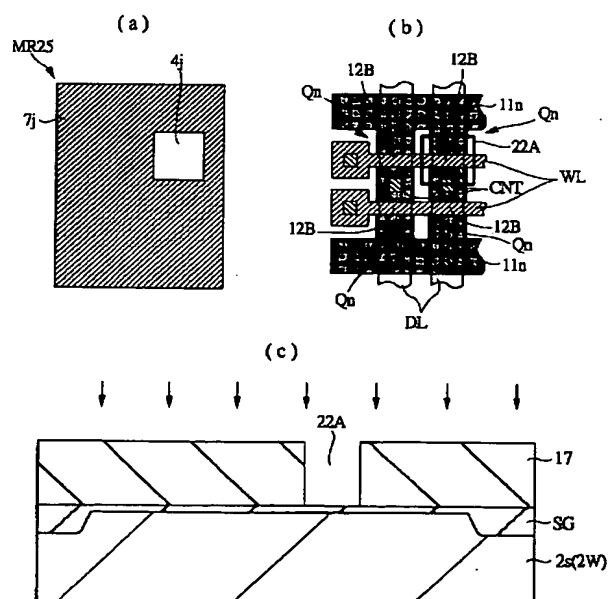


【図82】

図 82

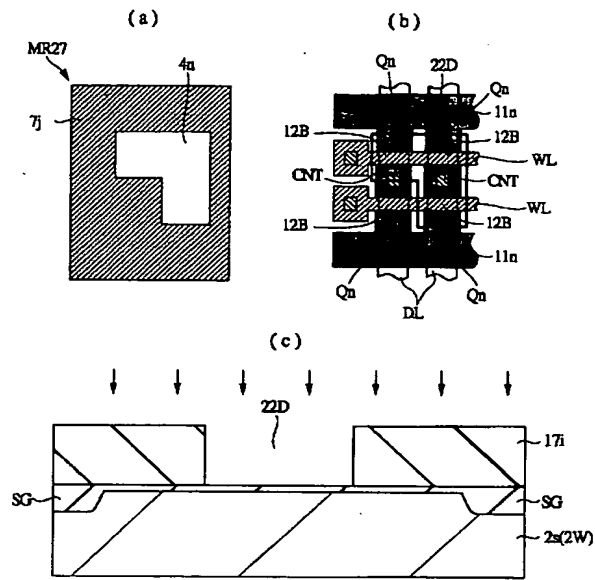
【図81】

図 81



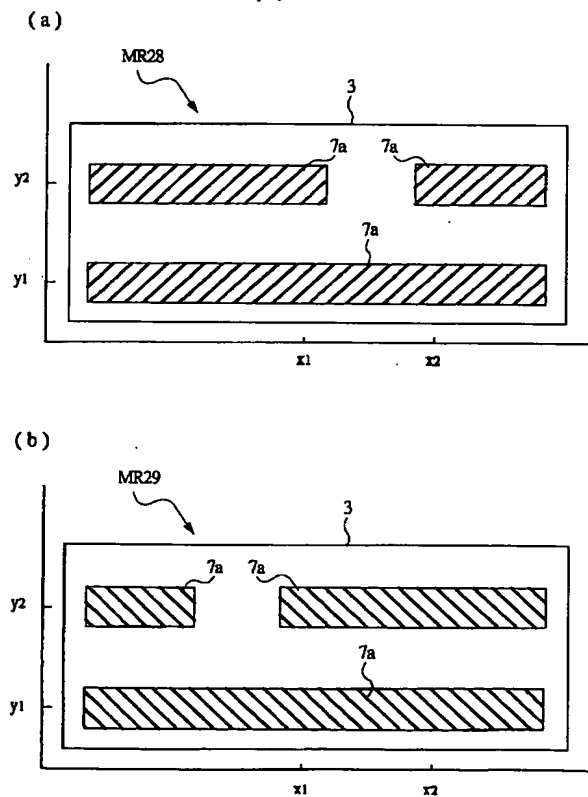
【図83】

図 83



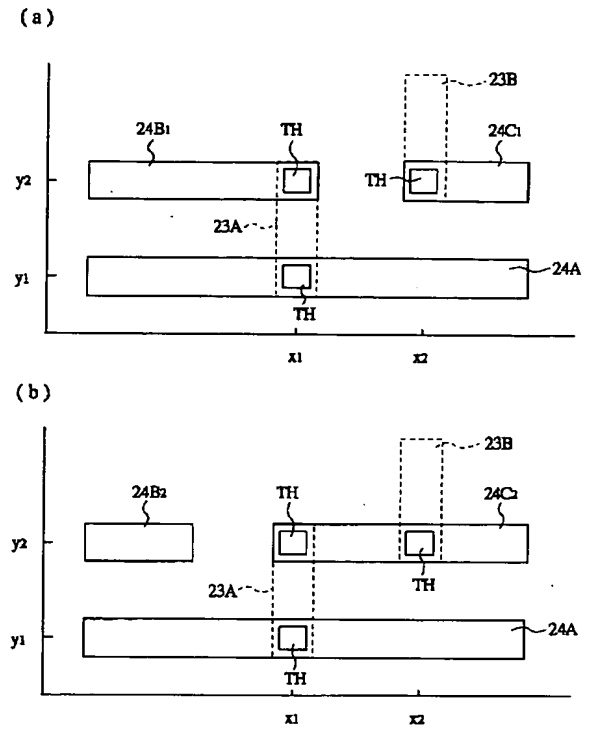
【図85】

図 85



【図84】

図 84



## フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H 0 1 L 27/112		H 0 1 L 27/10	4 3 3
27/10	4 6 1		
(72) 発明者 長谷川 昇雄	(72) 発明者 田中 稔彦		
東京都青梅市新町六丁目16番地の3 株式	東京都国分寺市東恋ヶ窪一丁目280番地		
会社日立製作所デバイス開発センタ内	株式会社日立製作所中央研究所内		
(72) 発明者 寺澤 恒男	F ターム (参考) 2H095 BA02 BA07 BC06		
東京都国分寺市東恋ヶ窪一丁目280番地	5F046 AA25 CB17 DA30		
株式会社日立製作所中央研究所内	5F083 CR01 EP00 PR01 ZA13 ZA30		